

## 明 細 書

## マルチファンクションカードデバイス

## 5 技術分野

本発明は、メモリカードの数種類の規格に対応したりセキュリティ処理をサポートしたりすることが可能な多機能メモリカードのようなマルチファンクションカードデバイスに関する。

## 10 背景技術

通信携帯端末、PDA (personal data assistant)、PC (Personal Computer) 等で利用可能なメモリカードには数種類の規格が存在する。例えばMMC (MultiMediaCard)、HSMMC (High Speed Multi Media Card)、RSMMC (Reduced Size Multi Media Card)、SDカード、  
15 メモリスティック、メモリスティックPro等の仕様が存在する。それら名称は夫々登録商標若しくはトレードマークであることをここで付記する。夫々の仕様についてはデータビット数、カード認識プロトコル、バス制御方法、データフォーマットなどに相違が有る。

国際公開WO 01/84480号パンフレットにはMMCとの互換性を維持しながらマルチバンクやマルチファンクションを実現するために、MMCにSIM (Subscriber Identity Module) を搭載してセキュリティの強化を図るようにした技術が記載される。  
20

特開平2003-30613号公報には複数のコントローラチップを備え、各コントローラチップに対応したインタフェースモードをサポートし、モード切替えを可能にした記憶装置について記載がある。  
25

特開平2003-91704号公報には、フラッシュメモリチップと

セキュリティー処理を実行する I C カードチップと、外部からの指示に従ってそれらを制御するコントローラチップを実装した記憶装置について記載がある。

5 本発明者はメモ리카ードの数種類の規格に対応したりセキュリティー処理をサポートしたりすることが可能なマルチファンクションカードデバイスについて検討した。これによれば、対応する規格が 3 種類以上になると端子の部分的な共通化と個別化により信頼性の保証と物理的規模の増大を抑えるという多面的な考慮を必要とすることが明らかにされた。また、セキュリティー処理についてもセキュリティーコント  
10 ローラ単独でインタフェースを行ったり、メモ리카ードインタフェースを利用する場合も想定され、種々のインタフェースの可能性に対応することが必要になる。更に、インタフェースも接触インタフェースだけでなくトランス結合等による非接触インタフェースも普及され、インタフェースの信頼性確保の観点より、アンテナ特性の向上や E M I  
15 (Electro magnetic interference) 対策も考慮することが必要になる。また、I C (Integrated circuit) カード等で採用されている非接触インタフェースではその動作電源はトランス結合による電磁誘導によって発生する起電力(誘導起電力)で得ている。これと同様に誘導起電力によって動作電源を得なければならない場合のあることを考慮すると、  
20 特に常時オン状態又はオフ状態にされるモード選択スイッチやパワースイッチ等に対してもスイッチ状態の維持に電力消費を要しない、というような低消費電力について考慮することの優位性を認識した。

本発明の目的は、メモ리카ードの数種類の規格に対応したりセキュリ  
25 ティー処理をサポートしたりすることが可能なマルチファンクションカードデバイス等に対する上記検討事項を解決するための手段を提供することにある。

本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

#### 発明の開示

##### 5      〔１〕《カード規格に対する汎用性》

マルチファンクションカードデバイスは、外部接続端子が形成された配線基板に複数個の半導体チップが実装され、一の半導体チップは前記外部接続端子に接続されたインタフェースコントローラを構成し、他の半導体チップは前記インタフェースコントローラに接続されたメモリを構成する。前記インタフェースコントローラは複数のインタフェース制御態様を有し、外部からの指示に従った制御態様、あるいは内部であらかじめ決定された設定に従って外部インタフェース動作とメモリインタフェース動作を制御する。外部接続端子は前記インタフェース制御態様毎に個別化された個別端子と、前記インタフェース制御態様毎に共通化された共通端子を有する。前記共通端子にはクロック入力端子、電源端子及び接地端子を含む。前記個別端子にはデータ端子を含む。

10

15

数種類のインタフェース制御態様に対し外部接続端子の部分的な共通化と個別化によりインタフェースの信頼性の保証と物理的規模の増大を抑えるという両面を満足させることができる。

20      多機能化の促進にあたって、前記インタフェースコントローラと同一又は別の半導体チップで構成されたセキュリティーコントローラを更に有する。前記セキュリティーコントローラは前記インタフェースコントローラ及び外部接続端子に接続される。前記個別端子には前記セキュリティーコントローラの専用端子を更に含む。セキュリティーコントローラ単独インタフェースによるセキュリティー処理も保証できる。例えばセキュリティーコントローラが所謂 IC カードマイコンの場合に従

25

来の I C カードと同じようにマルチファンクションカードデバイスを機能させることが可能になる。

5 具体的な形態として、前記セキュリティーコントローラの専用端子としてクロック端子、データ入出力端子、リセット端子、電源端子及び接地端子を有する。前記専用端子に対する信号状態によって外部のカードホストはセキュリティーコントローラを単独で認識可能になる。

## [2] 《セキュリティー処理》

10 具体的な形態として、前記セキュリティーコントローラは前記外部端子の信号状態又はインタフェースコントローラから与えられる動作コマンドに従ってセキュリティー処理を行う。これにより、セキュリティーコントローラを単独で機能させることを保証しつつ、メモリカードインタフェースを利用してメモリと共に機能させることが可能になる。

15 具体的な形態として、内部アンテナを更に有し、前記セキュリティーコントローラは前記アンテナを用いて非接触インタフェース可能である。非接触型の I C カードと同様にトランス結合による誘導起電力を動作電源として単独で機能させることが可能になる。これは、マルチファンクションカードデバイスをカードホストから取り外し、或いはカードホストの電源遮断時に利用する場合に有意義である。

20 具体的な形態として、外部アンテナを接続可能な外部アンテナ接続端子と、前記内部アンテナに代えて外部アンテナ接続端子を前記セキュリティーコントローラに選択的に接続可能なスイッチ回路とを更に有する。外部アンテナを用意することにより、内部アンテナに比べて特性の優れたアンテナの利用が可能になる。

25 前記スイッチ回路は、対応する接続端子間に介在され電氣的に変更可能な閾値電圧に応じて経路の遮断又は導通を制御可能な不揮発性記憶素子と、前記不揮発性記憶素子の選択端子から見た閾値電圧を第 1 状態

として前記経路を遮断し、その閾値電圧を第2状態として前記経路を導通させる制御回路とを有する。前記閾値電圧の第2状態において前記選択端子は回路の接地電圧に接続される。これにより、経路を導通させるオン状態のスイッチ状態の維持に電力消費を要しない。

- 5        不揮発性記憶素子の閾値電圧を変更するときの高電圧印加を考慮すると、前記不揮発性記憶素子を挟んで直列に一对の分離用スイッチを配置してもよい。前記分離用スイッチはその選択端子が回路の接地電圧に接続されることによってオン状態にされる。前記制御回路は不揮発性記憶素子の閾値電圧を変更するとき前記分離用スイッチをオフ状態に制御する。これにより、経路に接続する回路を全て高耐圧にすることを要しない。
- 10

- 前記不揮発性記憶素子は、例えば、バイポーラトランジスタ部と、バイポーラトランジスタ部のベース・コレクタ間にドレイン・ソースが接続された不揮発性MOSトランジスタ部とから成り、不揮発性MOSトランジスタ部はソース・ドレイン間のチャネル上に絶縁膜を介して電荷蓄積領域が形成され、この電荷蓄積領域に蓄積される電荷に応じて閾値電圧が可変にされる。
- 15

### 〔3〕《セキュリティコントローラのパワーオンリセット》

- セキュリティコントローラに対するリセットを考慮すると、セキュリティ処理を行う性質上、異常状態に対して全ての内部状態を初期化するパワーオンリセットはインタフェースコントローラ等に比べて頻繁に行われる可能性が高い。
- 20

- 前記個別端子として、前記セキュリティコントローラに専用の外部電源端子を有すれば、マルチファンクションカードデバイス全体をリセットすること無くセキュリティコントローラ単独でパワーオンリセット可能になり、使い勝手を向上させることができる。
- 25

また、前記外部接続端子として前記セキュリティーコントローラとインタフェースコントローラに共通の外部電源端子を有し、前記共通外部電源端子からセキュリティーコントローラの電源端子に至る電源経路にはインタフェースコントローラの制御によって電源供給を遮断可能な電源スイッチを有してもよい。これによってもセキュリティーコントローラ単独でパワーオンリセット可能になる。

また、前記外部接続端子として前記セキュリティーコントローラとインタフェースコントローラに共通の外部電源端子を有し、前記セキュリティーコントローラは前記インタフェースコントローラからパワーオンリセットが指示されるリセット信号の入力端子を有する。これによってもセキュリティーコントローラ単独でパワーオンリセット可能になる。

また、前記外部接続端子は外部電源端子を有し、前記インタフェースコントローラは前記外部電源端子から動作電源が供給され、前記セキュリティーコントローラは前記動作電源を利用して生成した電源、例えば降圧電源を動作電源とし、前記セキュリティーコントローラは前記インタフェースコントローラからパワーオンリセットが指示されるリセット信号の入力端子を有する。これによってもセキュリティーコントローラ単独でパワーオンリセット可能になる。特に、セキュリティーコントローラとインタフェースコントローラが別チップで形成され動作電源電圧が相違する場合に有効である。

#### 〔４〕《グラウンドパターンによるアンテナ特性劣化防止》

本発明の具体的な形態として、上記マルチファンクションカードデバイスがアンテナを有し、前記セキュリティーコントローラを構成する半導体チップが前記アンテナに接続されて非接触インタフェース可能にされる場合に、前記配線基板は回路の接地電位が印加されるグラウンドパターンとして、複数個に分割され且つ閉路を形成せずに接続された分割

グラウンドパターンを有することが望ましい。大きなグラウンドパターンの表面で、変動磁束によって生ずる渦電流損を低減でき、アンテナ特性の劣化を防止若しくは緩和することができる。

〔５〕《アンテナ性能の向上》

- 5       本発明の具体的な形態として、上記マルチファンクションカードデバイスがアンテナを有し、前記セキュリティーコントローラを構成する半導体チップがアンテナに接続されて非接触インタフェース可能にされる場合に、前記アンテナは半導体チップの外側領域に配置され、半導体チップはフェライトプレート上にスタックされていることが望ましい。
- 10       強磁性体であるフェライトプレートは透磁率が大きいため磁束はフェライトプレートを貫通せずにそれに沿った経路を採ろうとする。したがって、フェライトプレートの外周部にアンテナが配置されているのでアンテナ近傍に大きな磁束を得ることが可能になり、これによってアンテナのインダクタンス性能、即ちここではアンテナ性能の向上に資することができる。
- 15       更に、半導体チップはフェライトプレート上に重ねられているから半導体チップに磁束が透過するのを緩和することができ、半導体チップに不所望な渦電流もしくは誘導起電力が発生して誤動作を生ずる虞を未然に防止することが可能になる。

- 20       前記フェライトプレートは、フェライトチップ、塗布されたフェライトペースト、又は貼り付けられたフェライトフィルム等である。本明細書でフェライトとは $\text{MO} \cdot \text{Fe}_2\text{O}_3$ に代表される強磁性酸化物を総称する。

- 25       スペースファクタの点より半導体チップの外周部にアンテナを配置する必要性がなければ、換言すれば、比較的大きな配線基板を利用することができるのであれば、アンテナを半導体チップの側方に配置すればよい。この場合にも、アンテナ性能の向上という観点より、前記アンテナ

ナの中央部にフェライトプレートを設置するのが望ましい。

このとき、磁束による半導体チップの誤動作防止の観点より、アンテナの側方に配置された半導体チップを金属キャップ又はフェライトキャップで覆うことが望ましい。

- 5      前記アンテナは、例えば配線基板に形成されたコイルパターン又は配線基板上に配置された巻線コイルである。コストの点では配線基板上のコイルパターンの方が優れる。トランス結合による非接触インタフェースの点では、コイルパターンは複数層であることが望ましい。

- 10      前記アンテナは誘電体アンテナチップであってもよい。アンテナ特性という点で前記誘電体アンテナチップはフェライトプレートにスタックするのが望ましい。このとき、前記半導体チップはフェライトプレート上に誘電体アンテナチップのスタック面とは反対面にスタックすればよい。

#### 〔6〕《EMI対策》

- 15      本発明に係るマルチファンクションカードデバイスの具体的な形態として、アンテナを前記外部接続端子を露出させて全体がキャップで覆われているとき、前記キャップには、フェライト混入キャップ又は金属キャップを採用するのがよい。前記キャップがEMI（Electro Magnetic Interference）対策となる。

- 20      本発明に係るマルチファンクションカードデバイスの具体的な形態として、アンテナを有し、前記セキュリティコントローラを構成する半導体チップがアンテナに接続されて非接触インタフェース可能にされ、前記外部接続端子を露出させて全体がケーシングで覆われているとき、前記アンテナを半導体チップの外側領域（例えば外周領域）に形成し、半導体チップをフェライトプレート上にスタックし、アンテナによる受信面とは反対側に、電磁シールドを設けることが望ましい。電磁シ
- 25



ールドによってEMI対策、即ち電磁的な妨害と障害の発生の抑制が施される。ここでは便宜上EMIをEMS (Electro Magnetic Susceptibility:電磁波の感受性)をも含めて考えている。

5 前記電磁シールドは、例えばケーシングのフェライト混入層、ケーシングの金属混入層、ケーシングに塗布したフェライト混入塗料の塗布面、ケーシングに塗布した金属混入塗料の塗布面、又はケーシングに貼りつけた金属蒸着ラベルである。前記ケーシングはキャップ又は樹脂モールドである。

〔7〕《同調用外付けコンデンサ》

10 アンテナの接続端子間には外付けした同調用コンデンサを有することが望ましい。アンテナに接続される高周波部の入力容量は比較的大きな製造ばらつきを持つからである。前記同調用コンデンサは、チップコンデンサ、バリキャップコンデンサ又は不揮発性MOS容量などで構成すればよい。

15 〔8〕《ソケットの薄型化とデバイスの逆差し防止》

本発明に係るマルチファンクションカードデバイスにおいて、外部接続端子を露出させて全体をパッケージに封止するとき、前記パッケージの厚さ方向に、ソケットに係止される段差部を少なくとも2箇所形成しておく。パッケージは一括モールドもしくはMAP (モールド・アレイ・パッケージ) 形態で形成され、段差部も一括モールドで一体形成される。ソケットは、パッケージの厚さよりも薄い段差部に係止するから、ソケットの厚さを最小限に抑えることが容易になる。

前記2箇所の段差部を非対象とすれば、パッケージに上下又は左右縁辺を逆方向に向けてソケットを装着する事態を抑止することができる。  
25 これにより、ソケットの端子とパッケージの端子が非対応端子同士電氣的に接触して回路や端子が劣化または破壊する事態を防止することが

できる。

5 ソケットの端子とパッケージの端子が非対応端子同士電氣的に接触して回路や端子が劣化または破壊する事態を防止するという観点に立てば、前記パッケージの外に露出される外部接続端子をパッケージの中心に対して非線対称にしてもよい。また、前記パッケージの外に露出される外部接続端子を複数列に並列し、前記複数列をパッケージの段差部に対して偏らせておいてもよい。或いは、前記パッケージの外に露出される外部接続端子を複数列に並列し、前記複数列には並列方向に対して相互に偏りを持たせるようにしてもよい。

10 マルチファンクションカードデバイスの薄型化という観点によれば、配線基板又はフェライトプレート上にスタックされる複数の半導体チップは表面積が小さいほど薄く形成され、薄い半導体チップほど上層に配置されるのがよい。

#### 〔 9 〕 《テスト容易化》

15 本発明に係るマルチファンクションカードデバイスに対するテスト容易化の観点より、外部接続端子を露出させて全体がパッケージに封止されているとき、前記パッケージの外に露出される外部接続端子として、カードソケットの端子に接続される第 1 外部端子の他に、前記複数の第 1 外部端子に夫々接続され且つ前記第 1 外部端子よりもピッチと表面積の大きな複数のテスト端子を配置するのがよい。

20 テスト端子の配置を効率化するには、前記複数の第 1 外部端子は離間して複数列に配置し、複数列の間の領域全体に前記複数の第 2 外部端子を配置するのがよい。

#### 〔 1 0 〕 （不揮発性スイッチ）

25 不揮発性スイッチの観点による本発明は、半導体集積回路に、回路の動作電源を選択的に遮断可能なパワースイッチ回路を有する。前記パワ

一スイッチ回路は、動作電源の伝達経路に介在され電氣的に閾値電圧が変更可能にされた不揮発性記憶素子と、前記不揮発性記憶素子の選択端子から見た閾値電圧を第 1 状態として前記伝達経路を遮断し、その閾値電圧を第 2 状態として前記伝達経路を導通させる制御回路を有する。前記閾値電圧の第 2 状態において前記選択端子は回路の接地電圧に接続される。これにより、経路を導通させるオン状態のスイッチ状態の維持に電力消費を要しない。

不揮発性記憶素子の閾値電圧を変更するときの高電圧印加を考慮すると、前記不揮発性記憶素子を挟んで直列に一对の分離用スイッチを配置してもよい。前記分離用スイッチはその選択端子が回路の接地電圧などの固定電位に接続されることによってオン状態にされる。前記制御回路は不揮発性記憶素子の閾値電圧を変更するとき前記分離用スイッチをオフ状態に制御する。経路に接続する回路を全て高耐圧にすることを要しない。

不揮発性スイッチの別の観点による半導体集積回路は、回路間を選択的に遮断可能なスイッチ回路を有する。前記スイッチ回路に前記パワースイッチ回路と同様の構成を採用することにより、経路を導通させるオン状態のスイッチ状態の維持に電力消費を要しない。

〔11〕上記グランドパターンによるアンテナ特性劣化防止、アンテナ性能の向上、EMI 対策、ソケットの薄型化とデバイスの逆差し等に係る夫々の技術的事項は、マルチファンクションカードデバイスだけでなく、配線基板、配線基板に実装された半導体チップ、及び半導体チップに接続されたアンテナを有する半導体カードデバイス、更には、一面に外部接続端子を露出させた配線基板と、配線基板に実装された半導体チップと、半導体チップに接続されたアンテナと、配線基板の一面を露出させて前記配線基板、半導体チップ及びアンテナを覆うキャップとを有

する半導体デバイス、配線基板に実装された半導体チップがパッケージに封止された半導体カードデバイスなどにも適用することができる。

#### 図面の簡単な説明

5        第1図は本発明の一例に係るMFMCを適用した携帯電話機などの通信携帯端末装置の概略説明図である。

第2図はMFMCの構成を例示するブロック図である。

第3図はMFMCの外部端子の一例を示す説明図である。

10       第4図はMFMCでSDカード又はMMCのインタフェース機能を実現するとき有効とされる外部接続端子と対応するSDカードの端子を例示する説明図である。

第5図はMFMCでHSMMCのインタフェース機能を実現するとき有効とされる外部接続端子と対応するHSMMCカードの端子を例示する説明図である。

15       第6図はMFMCでメモリスティックのインタフェース機能を実現するとき有効とされる外部接続端子と対応するメモリスティックの端子を例示する説明図である。

20       第7図はMFMCでICカードマイコンの接触インタフェース機能を実現するとき有効とされる外部接続端子と対応するICカードマイコンの端子を例示する説明図である。

第8図はMFMCでICカードマイコンの接触及び非接触インタフェース機能を実現するとき有効とされる外部接続端子と対応するICカードマイコンの端子を例示する説明図である。

25       第9図はMFMCによるインタフェース機能の認識手順を示すフローチャートである。

第10図はインタフェースコントローラの詳細を例示するブロック

図である。

第 1 1 図は I C カードマイコンの詳細を例示するブロック図である。

第 1 2 図は M F M C に対する幾つか用途を示す説明図である。

5 第 1 3 図は I C カードマイコン 1 1 に対するパワーオンリセット機構の第 1 の例を示すブロック図である。

第 1 4 図は I C カードマイコン 1 1 に対するパワーオンリセット機構の第 2 の例を示すブロック図である。

第 1 5 図は I C カードマイコン 1 1 に対するパワーオンリセット機構の第 3 の例を示すブロック図である。

10 第 1 6 図は I C カードマイコン 1 1 に対するパワーオンリセット機構の第 4 の例を示すブロック図である。

第 1 7 図は内部アンテナとその同調コンデンサを例示する回路図である。

15 第 1 8 図は不揮発性 M O S 容量として利用されるフラッシュメモリセルトランジスタの縦断面図である。

第 1 9 図は外部アンテナを内部アンテナから切り離し可能に接続した例を示す回路図である。

第 2 0 図は経路切替え用の不揮発性のスイッチを例示する回路図である。

20 第 2 1 図は不揮発性記憶素子を挟んで分離用スイッチ M O S トランジスタを配置した不揮発性スイッチを例示する回路図である。

第 2 2 図は N V C B T 構造の経路選択用スイッチの内部等価回路図である。

25 第 2 3 図は第 2 2 図に示されるスイッチ回路の素子構造を示す縦断面図である。

第 2 4 図は第 2 2 図に対してゲートバイアス抵抗を追加した回路図

である。

第 2 5 図は N V C B T 構造に代表される不揮発性記憶素子を回路のパワースイッチに適用した例を示すブロック図である。

5 第 2 6 図は不揮発性記憶素子を用いたスイッチ回路と制御回路を I C カードマイコンとインタフェースコントローラとの選択的な切り離しに適用した場合のブロック図である。

第 2 7 図は M F M C の平面構造を例示する平面図である。

第 2 8 図は第 2 7 図の M F M C の側面構造を例示する側面断面図である。

10 第 2 9 図は M F M C の別の側面構造を例示する側面断面図である。

第 3 0 図は M F M C の別の平面構造を例示する透過平面図である。

第 3 1 図は第 3 0 図の M F M C の側面構造を例示する側面図である。

第 3 2 図は M F M C の更に別の側面構造を例示する側面断面図である。

15 第 3 3 図は M F M C の更に別の平面構造を例示する平面図である。

第 3 4 図は第 3 3 図の平面構造に対応する M F M C の側面構造を例示する側面断面図である。

第 3 5 図は更に別の M F M C の側面構造を例示する側面断面図である。

20 第 3 6 図は更に別の M F M C の側面構造を例示する側面断面図である。

第 3 7 図は誘電体アンテナチップを用いた M F M C の側面断面図である。

25 第 3 8 図は R S M M C パッケージを適用した M F M C の外観斜視図である。

第 3 9 図はスタンダード M M C パッケージを適用した M F M C の外

観斜視図である。

第40図はスタンダードMMCパッケージ構造においてキャップ内側に内部アンテナを設けた例を示す斜視図である。

5 第41図は第40図のキャップに組み込まれたMFMCの構造を示す側面断面図である。

第42図は第40図のキャップにフェライトプレートと一緒に組み込まれたMFMCを示す側面断面図である。

第43図は配線基板に分割グラウンドパターンを形成したMFMCの構造を例示する側面断面図である。

10 第44図は第43図の側面断面構造を示す断面図である。

第45図はフェライト粒子を混入したキャップで電磁シールドを行う構造を例示する側面断面図である。

第46図は金属製キャップで電磁シールドを行う構造を例示する側面断面図である。

15 第47図は金属又はフェライト入りのモールドキャップで電磁シールドを行う構造を例示する側面断面図である。

第48図はラベルによる電磁シールドを行う構造を例示する側面断面図である。

20 第49図はラベルによる電磁シールドを行う別の構造を例示する側面断面図である。

第50図はラベルによる電磁シールドを行う更に別の構造を例示する側面断面図である。

第51図は第48図の形式で電磁シールドラベルの貼り付けを行ったスタンダードMMCパッケージ構造のMFMCを示す斜視図である。

25 第52図は第50図の形式で電磁シールドラベルの貼り付けを行ったHSMMCパッケージ構造のMFMCを示す斜視図である。

第53図は第49図の形式で電磁シールドラベルの貼り付けを行ったRSMCパッケージ構造のMFMCを示す斜視図である。

第54図は封止樹脂にソケットの弾性爪に係止される段差部を形成した縦断面構造を示す断面図である。

5 第55図は封止樹脂に段差部を設けていない比較例の構造を示す断面図である。

第56図は段差部を非対象にした構造を例示する斜視図である。

第57図はソケットに第56図のMFMCを装着した状態を示す斜視図である。

10 第58図はMFMCの外部接続端子をパッケージの中心に対して非線対称にする構造を例示する側面図である。

第59図は第58図の構造においてMFMCを左右逆向きでソケットに挿入するときの状態を示す側面図である。

15 第60図は左右をずらした端子配列の具体例として第3図の端子構成に対応する端子配列を示す平面図である。

第61図は逆差し防止の端子配列として外部接続端子を複数列に並列し複数列には並列方向に対して相互に偏りを持たせる端子配列を例示する平面図である。

20 第62図は段差部に対する偏りと端子配列の配列方向の偏りの双方を採用した端子配列を示す平面図である。

第63図は封止樹脂に対し端子を端子配列方向一方向に全体的にずらして偏りをもちせる構成を示す平面図である。

第64図は逆差し防止の段差部に対する別のアンバランス形状を例示する斜視図である。

25 第65図は逆差し防止の段差部に対する更に別のアンバランス形状を例示する斜視図である。



第 6 6 図はMFMCにおけるテスト端子の配列状態を例示する説明図である。

第 6 7 図は段差部を有するマイクロMMCパッケージ構造のMFMCを一括モールドで製造するのに利用する配線基板の正面図である。

5 第 6 8 図は第 6 7 図の配線基板にチップをスタックしてワイヤボンディングした状態を示す正面図である。

第 6 9 図は金型のキャビティにチップをスタックした配線基板を配置した状態を示す正面断面図である。

10 第 7 0 図は第 6 9 図のキャビティに封止樹脂を注入した状態を示す正面断面図である。

第 7 1 図は封止樹脂及び配線基板をダイシングする様子を示す正面断面図である。

第 7 2 図は個片化されたMFMCを示す正面断面図である。

15 第 7 3 図は経路切替え用の不揮発性のスイッチとして第 2 2 図のNVCBT構造を採用した場合を例示する回路図である。

発明を実施するための最良の形態

#### 《通信携帯端末装置》

20 第 1 図には本発明の一例に係るマルチファンクションメモリカードを適用した携帯電話機などの通信携帯端末装置の概略が示される。通信携帯端末装置 1 は例えばシステム全体の制御を行うマイクロプロセッサ(MPU) 2 と、移動体通信のために変調及び復調などのベースバンド処理を行うベースバンド処理部(BB) 3、規定の高周波による送受信を行う高周波部(RFc1) 4、及びマルチファンクションメモリカード(MFMC) 5 を有する。MFMC 5 は通信携帯端末装置 1 の図示を省略するカードスロットに着脱可能にされる。MPU 2 はMFMC 5

25

にとってカードホストとして位置付けられる。

MFMC 5 は、例えば、メモリストレージに対する記憶機能、メモリストレージに対するマルチメモリインタフェース機能、コンテンツデータの暗号化・復号処理やユーザ認証などのセキュリティー処理機能、非  
5 接触インタフェース機能等を有する。以下、それら機能とそれに附帯する技術にいて詳述する。

#### 《カード規格に対する汎用性》

第 2 図には MFMC 5 の構成が例示される。MFMC 5 は、複数の外部接続端子 13 A, 13 B が形成された配線基板に複数の半導体チップが実装され、一の半導体チップは前記外部接続端子 13 A に接続され  
10 たインタフェースコントローラ 10 を構成し、他の半導体チップは前記インタフェースコントローラ 10 に接続された 1 個または複数のメモリ 12 を構成する。更に、前記インタフェースコントローラ 10 と別の半導体チップで構成されたセキュリティーコントローラとしての  
15 IC カードマイコン 11 を有する。前記 IC カードマイコン 11 は前記インタフェースコントローラ 10 及び外部接続端子 13 B に接続される。特に図示はしないが前記 IC カードマイコン 11 は前記インタフェースコントローラ 10 と同一半導体チップで構成してもよい。

前記インタフェースコントローラ 10 は複数のインタフェース制御  
20 態様を有し、外部からの指示に従った制御態様で外部インタフェース動作とメモリ 2 に対するメモリインタフェース動作を制御する。MFMC 5 が有するインタフェース制御態様は、特に制限されないが、MMC、HS-MMC、SD カード、メモリスティックの各メモリカードインタフェース態様とされる。前記各メモリカードインタフェース態様は各単  
25 体メモリカードのインタフェース仕様に準拠する。例えば、インタフェースコントローラ 10 はそれらメモリカードのインタフェース仕様を

サポートするメモカードコントローラの機能をプログラム制御によって（一部はハードワイヤードロジックや、ROMメモリへの書き込みなどによって）実現する。従って、特定のメモリカードインタフェース仕様をサポートしたくなければ、それに対する制御プログラムを保有しなければよい。或いは不揮発性制御ビットなどによって動作不可能にされていけばよい。後から、ネットワークを介するダウンロード等によってインタフェースコントローラ 10 に制御プログラムを追加することによって所要のメモリカードインタフェース仕様を後からサポートしたりすることも可能である。ネットワーク経由で取得したライセンス情報などによって所定の制御プログラムの実行を禁止すれば、所定のメモリカードインタフェース仕様を後から使用不能にすることもできる。前記インタフェースコントローラ 10 の機能は、外部接続端子を介して外部とやりとりするコマンドやバスの状態に応ずるメモリカードインタフェース制御態様の認識、認識したメモリカードインタフェース制御態様に  
10 応ずるバス幅の切替え、認識したメモリカードインタフェース制御態様に  
15 応ずるデータフォーマット変換、パワーオンリセット機能、ICカードマイコン 11 とのインタフェース制御、メモリ 12 とのインタフェース制御、及び電源電圧変換等とされる

外部接続端子 13 B は IC カードマイコン 11 の専用端子とされる。  
20 前記 IC カードマイコン 11 は前記外部端子 13 B の信号状態又はインタフェースコントローラ 10 から与えられる動作コマンドに従ってセキュリティー処理を行う。更に前記 IC カードマイコン 11 はトランス結合などによる非接触インタフェース機能を介してセキュリティー処理を行うことも可能である。IC カードマイコン 11 の外部端子、信号  
25 プロトコル、コマンドなどは例えば ISO/IEC 7816 規格に準拠している。

第3図にはMFMC5の外部端子13A, 13Bの一例が示される。外部端子13A, 13Bとして#1～#20の外部接続端子を有する。DATA2はデータ端子、CD/DAT3はカードディテクト/データ端子、CMDはコマンド入力端子、Vccは電源端子、CLKはクロック入力端子、DAT0はデータ端子、Vssは回路の接地端子、I/O-icはICカードマイコン専用入出力端子、LA, LBは外部アンテナ接続端子、DAT4/D3-msはデータ端子、INS-msは挿抜検出用端子、DAT5/D2-msはデータ端子、DAT6/SDIO/D0はデータ端子、DAT7/D1-msはデータ端子、BS-msはバスステータス端子、Vcc-icはICカードマイコン専用電源端子、CLK-icはICカードマイコン専用クロック入力端子等とされる。端子名に付されたサフィックス-icはICカードマイコン用端子であることを意味し、サフィックス-msはメモリスティック用端子であることを意味する。

第4図にはMFMC5でSDカード又はMMCのインタフェース機能を実現するとき有効とされる外部接続端子と対応するSDカードの端子が例示される。ここではSDモード又はMMCモードの場合が示され、SDモードの場合データ入出力を1ビットのデータ端子DAT0または4ビットのデータ端子DAT0～DAT3で行ない、コマンド入力をコマンド端子CMDで行う。MMCモードの場合はデータ入出力はデータ端子DAT0の1ビットで行なわれ、コマンド入力をコマンド端子CMDで行ない、端子CD/DAT3はノンコネクにされる。SPIモードの場合はMMCとSDカードの区別は無く、端子CD/DAT3がチップ選択端子、端子CMDがデータ入力及びコマンド入力端子とされ、端子DAT0がデータ出力及びコマンド応答出力端子として利用される。

第5図にはMFMC5でHSMMCのインタフェース機能を実現するとき有効とされる外部接続端子と対応するHSMMCカードの端子が例示される。データ入出力は1ビットのデータ端子DAT0、または4ビットのデータ端子DAT0～DAT3、または8ビットのデータ端子DAT0～DAT7で行ない、コマンド入力をコマンド端子CMDで行う。HSMMCはMMCモードに対して並列データ入出力ビット数を増やした拡張仕様として位置付けられる。尚、SDカード、MMC及びHSMMCのデータバスはオープンドレインバスのようなプルアップ系バスとされる。

第6図にはMFMC5でメモリスティックProのインタフェース機能を実現するとき有効とされる外部接続端子と対応するメモリスティックProの端子が例示される。データ入出力及びコマンド入力等は4ビットのデータ端子D0～ms～D3～msで行なう。メモリスティックProのバスはプルダウン系バスとされる。MFMC5の内部において、データ端子DAT4/D3～ms、DAT5/D2～ms、DAT6/SDIO/D0～ms、DAT7/D1～msは3ステート出力バッファに接続しているので、第5図及び第6図に示されるように、それら端子はプルアップ系バス仕様とプルダウン系バス仕様の双方に対応可能である。また、1ビットバス仕様であるメモリスティックのインタフェース機構の実現について、端子共用可能である。

第7図にはICカードマイコンの接触インタフェース機能を実現するとき有効とされる外部接続端子と対応するICカードマイコンの端子が例示される。回路の接地端子Vssを除いてICカードマイコン専用端子が利用される。ICカードマイコンはパワーオンリセットとシステムリセットを有し、前者は電源端子Vcc-icに対する電源投入、後者はリセット信号/RESのローレベルにより指示される。前者はI

Cカードマイコンの一部のレジスタ等に対してデータ保持を行ってもよい。例えばシステムの無応答、ハングアップなどに対する強制リセットを実現するために、完全に初期化を行う場合にはパワーオンリセットが必要になる。データ及びコマンドの入出力は1ビットのデータ端子 I  
5 /Oを用いて行う。

第8図にはICカードマイコンの接触インタフェース及び非接触インタフェース機能を実現するとき有効とされる外部接続端子と対応するICカードマイコンの端子が例示される。第7図に比べてアンテナ端子LA, LBが増えている。アンテナ端子LA, LBには選択的に外部  
10 アンテナが接続される。その他の端子は第7図と同じである。

第3図乃至第6図の例に従えば、外部接続端子13AはMFMC5のインタフェース制御態様毎に個別化された個別端子と、インタフェース制御態様毎に共通化された共通端子に分類される。前記共通端子にはクロック入力端子CLK/CLK-ms、電源端子Vcc及び接地端子  
15 Vssを含む。前記個別端子として、例えばメモリスティック用のデータ端子D1-ms, D0-ms, D2-ms, D3-ms及びバスステータスBS-msとMMC/SDカード用のデータ端子DAT0~DAT3とコマンド端子CMDとがある。

数種類のインタフェース制御態様に対し外部接続端子の部分的な共通化と個別化によりインタフェースの信頼性の保証と物理的規模の増  
20 大を抑えるという両面を満足させることができる。

第7図及び第8図の例に従えば、前記ICカードマイコン用の端子I/O-ic, CLK-ic, RES-ic, Vcc-ic, LA, LBは他の端子と完全に個別化される。セキュリティー処理についてはIC  
25 カードマイコン11単独でインタフェースを行うことを保証できる。更に、ICカードマイコン11用の前記専用端子に対する信号状態によつ

て外部のカードホストとしてのMPU 2はICカードマイコン11を単独で認識可能になる。

5 カードホストとしてのMPU 2は自らがサポートするメモリカードの仕様に合わせてメモリカードの認識や初期化を行い、その仕様に有った体系のコマンドを用いてメモリカードをアクセスしようとする。MFMC 5は、MPU 2からの指示に対し、どのメモリカードインタフェース仕様でインタフェース動作すべきかを認識しなければならない。第9図にはそのインタフェース制御態様の認識シーケンスが例示される。

10 端末装置1に挿入されたMFMC 5に動作電源が投入されると(S1)、カードコントローラ10、ICカードマイコン11、及びメモリ12はパワーオンリセットされて、初期化される(S2)。その後、MFMC 5はスタンバイ状態にされMPU 2からの指示を待つ(S3)。このスタンバイ状態においてMFMC 5の外部端子13A、13Bの入力端子、又は入出力端子は例えばシステムに最低限必要な端子が入力可能な状態にされ、MPU 2からの出力を受けてその要求を判定することが可能にされる。具体的には、第1に、ICカードマイコン11の直接  
15 インタフェースに割当てられる入出力端子I/O-icに対するICカードコマンドの入力を待つ。第2に、SDカード及びMMCのメモリカード系のインタフェースに割当てられるデータ端子DAT0~DAT7の範囲に対するイニシャライズコマンドの入力を待つ。第3にメモリスティックのカード挿抜検出に割当てられる端子INS-msに対する接地電位の供給を待つ。尚、メモリスティックにおいて端子INS-msは内部で回路の接地端子に接続され、カードホスト側では端子INS-msの接続経路をプルアップし、当該経路のレベル低下を検出する  
20 ことによってメモリスティックの挿入を検出する。MFMC 5は端子INS-msに外部からプルアップ抵抗への電流が流れるのを検出す

ることによってメモリスティックのインタフェース制御態様が要求されていると判定する。

5 MPU 2 から前記 IC カードコマンドの発行、メモリカードモード設定のためのイニシャライズコマンド(メモリカードイニシャライズコマンド)の発行、又は端子 INS - m s への電流供給があると、MFMC 5 は夫々に応じたインタフェース制御態様を認識し(S 4)、必要に応じてMPU 2 に応答を代えし、所要のインタフェース動作を行う(S 5)。

10 例えばMMS やSDカード系のメモリカードイニシャライズコマンドが発行された場合、ステップS 4の処理では、MFMC 5 はイニシャライズコマンドとして順次供給されるコマンドを解読すると共に解読結果に対する応答をMPU 2 に返す処理を数回繰返して、MPU 2 が要求するメモリカードの種別がSDカード、MMC、HSMMCの何れであるかを認識し、また、その認識結果をMPU 2 に返す。カード認識が  
15 確立した後はMMCモード、SDモード、SPIモード等に応じたアドレス割当てなどのメモリカードイニシャライズ処理を行う。これによってMFMC 5 はSDカード、MMC、又はHSMMCのインタフェース制御態様を実現する制御プログラムを実行可能状態にされ、その後のアクセスコマンドに応答してインタフェース動作とメモリ動作を行う。

20 例えば端子 INS - m s への電流供給を検出すると、MFMC 5 はメモリスティックのインタフェース制御態様を実現する制御プログラムを実行可能状態にされ、その後のアクセスコマンドに応答してインタフェース動作とメモリ動作を行う。

例えば、端子 I/O - i c にICカードコマンドが発行されると、IC  
25 カードマイコンはそのコマンドに応答するセキュリティー処理などを実行する。特に制限されないが、MFMC 5 がICカードマイコンと



して動作するとき、I Cカードマイコン11とインタフェースコントローラ10との接続は分離される。或いは外部接続端子13Aとインタフェースコントローラ10との接続が分離される。この分離制御はセキュリティ処理の安全性を考慮するものであり、I Cカードマイコン11  
5 が行ない、I Cカードコマンドによってその分離状態は解消可能にされる。

前者については各種メモリカードの仕様と同じ手法で認識すればよい。例えばMMC/SDカードとして認識する場合にはカードホストとしてのMPU2はカードディテクト端子CDの状態を制御することによってMFMC5に必要なインタフェース仕様を認識させればよい。メモリスティックの場合には挿抜検出用端子INS<sub>ms</sub>を用いればよい。  
10

I Cカードマイコン11の非接触インタフェースが動作可能であれば端子I/O<sub>ic</sub>と同じく当該非接触インタフェース経由で送られてくるI Cカードコマンドに対して上記同様に対処すればよい。接触インタフェースと非接触インタフェースの双方をサポートする場合に、I Cカードマイコンは所定のI Cカードコマンドや、動作優先順位判定によって何れか一方のインタフェース機能を動作禁止に設定することも可能にされる。  
15

第10図にはインタフェースコントローラ10の詳細が例示される。前記メモリ12は例えば電氣的に消去及び書き込み可能な不揮発性メモリであるフラッシュメモリによって構成される。前記メモリ12は、特に図示はしないが、電氣的に消去及び書き込み可能な不揮発性メモリセルトランジスタ（フラッシュメモリセルとも記す）を有する。フラッシュメモリセルは、特に図示はしないが、フローティングゲートを有する所謂スタクドゲート構造、或いはONO（オキサイド・ナイトライド・  
20 25

オキサイド)ゲート絶縁膜を備えたメモリトランジスタ部と選択トランジスタ部から成る所謂スプリットゲート構造を有する。前記フラッシュメモリセルは、前記フローティングゲート等に電子が注入されると閾値電圧が上昇し、また、前記フローティングゲート等から電子を引き抜くと閾値電圧が低下する。前記フラッシュメモリセルは、データ読み出しのためのワード線電圧に対する閾値電圧の高低に応じた情報を記憶することになる。特に制限されないが、本明細書においてメモリセルトランジスタの閾値電圧が低い状態を消去状態、高い状態を書き込み状態と称する。

10       インタフェースコントローラ10はホストインタフェース回路20、マイクロコンピュータ21、フラッシュコントローラ22、バッファコントローラ23、バッファメモリ24、及びICカード用インタフェース回路25から成る。バッファメモリ24はDRAM (Dynamic Random Access memory) 又はSRAM (Static Random Access Memory) 等から  
15       成る。ICカード用インタフェース回路25にはICカードマイコン11が接続される。マイクロコンピュータ21はCPU (中央処理装置) 27、CPU27の動作プログラムを保有するプログラムメモリ (PGM) 28、及びCPU27のワーク領域に利用されるワークメモリ (WRAM) 29などによって構成される。前記SDカード、MMC、HS  
20       MMC、メモリスティックに対応するインタフェース制御態様の制御プログラムはPGM28が保有する。

      ホストインタフェース回路10は第9図で説明した前記メモリカードイニシャライズコマンドの発行、又は端子INS-m sへの電流供給を検出すると、割込みによってマイクロコンピュータ21に対応する  
25       インタフェース制御態様の制御プログラムを実行可能にする。マイクロコンピュータ21はその制御プログラムを実行する事によってホストイ

インタフェース回路 10 による外部インタフェース動作を制御し、フラッシュコントローラ 22 によるメモリ 12 に対するアクセス（書き込み、消去、及び読み出し動作）とデータ管理を制御し、バッファコントローラ 23 によるメモリカード固有のデータフォーマットとメモリに対する共通のデータフォーマットとの間のフォーマット変換を制御する。

バッファメモリ 24 には、メモリ 12 から読み出されたデータ又はメモリ 12 に書き込まれるデータが一時的に保持される。フラッシュコントローラ 22 はメモリ 12 をハードディスク互換のファイルメモリとして動作させ、データをセクタ単位で管理する。

IC カード用インタフェース回路 25 はインタフェースコントローラ 10 が所要のメモリカードインタフェース制御態様で制御されるとき、MUP 2 からの IC カードコマンドに従って IC カードマイコン 11 を動作させるとき必要なデータ及び制御信号の変換を行う。尚、前記フラッシュコントローラ 22 は図示を省略する ECC 回路を備え、メモリへのデータ格納に際して ECC コードを付加し、読み出しデータに対して ECC コードによる選れエラー検出・訂正処理を行う。

第 11 図には IC カードマイコン 11 の詳細が例示される。IC カードマイコン 11 は、CPU 32、ワーク RAM としての RAM（ランダム・アクセス・メモリ）34、タイマ 35、EEPROM（エレクトリカル・イレーザブル・アンド・プログラマブル・リード・オンリ・メモリ）36、コプロセッサユニット 37、マスク ROM（リード・オンリ・メモリ）40、システムコントロールロジック 41、入出力ポート（I/O ポート）42、データバス 43、アドレスバス 44 及び RF 部 45 を有する。

前記マスク ROM 40 は CPU 32 の動作プログラム（暗号化プログラム、復号プログラム、インタフェース制御プログラム等）及びデータ

を格納するのに利用される。前記RAM 34はCPU 32のワーク領域又はデータの一時記憶領域とされ、例えばSRAM（スタティック・ランダム・アクセス・メモリ）若しくはDRAM（ダイナミック・ランダム・アクセス・メモリ）から成る。I/Oポート42にICカードコマンドが供給されると、システムコントロールロジック41がこれをデコードし、当該コマンドの実行に必要な処理プログラムをCPU 32に実行させる。即ち、CPU 32は、システムコントロールロジック41から指示されるアドレスでマスクROM 40をアクセスして命令をフェッチし、フェッチした命令をデコードし、デコード結果に基づいてオペランドフェッチやデータ演算を行う。コプロセッサユニット37はCPU 32の制御に従ってRSAや楕円曲線暗号演算における剰余演算処理などを行う。I/Oポート42は1ビットの入出力端子I/Oを有し、データの入出力と外部割り込み信号の入力に兼用される。I/Oポート42はデータバス43に結合され、データバス43には前記CPU 32、RAM 34、タイマ35、EEPROM 36、及びコプロセッサユニット37等が接続される。システムコントロールロジック31はICカードマイコン11の動作モードの制御及び割り込み制御を行い、更に暗号鍵の生成に利用する乱数発生ロジック等を有する。ICカードマイコン11はリセット信号/RESによってリセット動作が指示されると、内部が初期化され、CPU 2はEEPROM 6のプログラムの先頭番地から命令実行を開始する。ICカードマイコン11はクロック信号CLKに同期動作される。

前記EEPROM 36は、電氣的に消去処理及び書込み処理が可能にされ、個人を特定するために用いられるID情報や認証証明書などのデータを格納する領域として用いられる。EEPROM 36に代えてフラッシュメモリ或は強誘電体メモリなどを採用してもよい。ICカードマ

アイコン 1 1 は外部とのインタフェースに外部接続端子を用いる接触インタフェースと、アンテナを用いる非接触インタフェースの双方をサポートする。非接触インタフェースを行うための R F 部 4 5 はチップのアンテナ端子 T M L 1 , T M L 2 を有する。アンテナを経由して R F 部より電力が供給されたり、あるいはシステムコントロールロジック 4 1 に  
5 により内部バスを経由して非接触インタフェースが選択されると、R F 部 4 5 は前記アンテナが所定の電磁波（例えば高周波の変動磁束やマイクロ波）を横切ることによって生ずる誘導起電力を動作電源として電源電圧  $V_{cc}$  を出力し、該所定の電波の周波数に対応して生ずる誘導電流を  
10 基にした内部クロック信号 C K、該所定の電波に重なって受け渡されるデータを R F 部 1 5 で分離した内部データ、さらにリセット信号 / R E S、の夫々を生成し、アンテナから非接触で情報の入出力を行なう。I C カードマイコン 1 1 の内部において、非接触インタフェースを介して動作する R F 部 4 5 は、接触インタフェースを介して動作する I C カード  
15 ド動作の C P U 3 2 などとは独立した小規模の回路で構成するのが好ましい。R F 部 4 5 として、その内部に非接触カード動作に必要な回路、例えば非接触カード用プロセッサ、当該プロセッサの制御プログラム領域及びワーク領域に用いられるメモリ、そして R F 送受信及び電源回路部が設けられる。このように R F 部 4 5 はプロセッサ機能とその制  
20 御プログラムというように独立した小規模の回路で構成されるため、例えば接触端子を介しての電源供給が得られない環境においても、外部からの誘導起電力によって回路を動作させることが容易となる。また、R F 部 4 5 は内部のデータバス、アドレスバスを経由することにより、非接触カードと接触カードとの間でデータを入出力することも可能である。  
25

第 1 2 図には前記 M F M C 5 に対する幾つか用途が示される。先ず M

- FMC 5をメモリカードとして動作させる場合について説明する。通信形態端末装置1は所定のメモリカード仕様にしたがってメモリカードをアクセス可能な機能を有している。例えば、通信携帯端末装置1はMMCを利用するためのライセンスを得ているとする。これに従ってMPU 2はMMCの仕様にしたがってMMCをアクセスする機能を有している。通信携帯端末装置1のカードソケットにMFMC 5を装着して電源を投入すると、MPU 2はMMC規定のイニシャライズコマンドをMFMC 5に発行し、それに対する応答を待ってカードを認識し、初期化を行う。MFMC 5はMMCのイニシャライズコマンドが発行されたことを受けてMMCインタフェース制御態様の制御プログラムを実行可能にされる。これにより、MFMC 5はMMCとして動作され、コンテンツデータなどをメモリ12に取り込んだりする。メモリ12に格納されるデータの形式はMFMC 5固有のデータフォーマットにされている。
- 通信携帯端末装置1の機種を変更する時はMFMC 5を取り外して、新機種の通信携帯端末装置1に装着すればよい。例えば、新機種の通信携帯端末装置1はメモリスティックを利用するためのライセンスを得ているとする。これに従って新機種の通信携帯端末装置1に内蔵されたMPU 2はメモリスティックの装着を検出するための信号をカード5の端子INS-m sに向けて出力し、これによってMFMC 5はメモリスティックインタフェース制御態様の制御プログラムを実行可能にされ、メモリスティック準拠のカードインタフェースで動作する。これにより、MFMC 5は、先にMMC動作でメモリに取り込んだコンテンツデータなどをメモリスティック動作で別の端末装置1に読み出して利用可能になる。このようにカードホストの機種変更に対して汎用性をもって対応することが可能になる。

また、MFMC 5は、PCMCIAアダプタ、USBアダプタ、Bluetoothアダプタなどによりカードインタフェースを変更して使用することもできる。更に、外付けの非接触アンテナを接続することにより従来のRF-ICカードのように使用することも可能である。

5 《セキュリティー処理》

MFMC 5におけるセキュリティー処理について動作説明を行う。例えばメモリ12のセキュア領域にはユーザ識別情報が格納されている。コンテンツデータをダウンロードするときはユーザ識別情報を秘密鍵として暗号化されたライセンス情報を一緒にダウンロードする。コンテンツデータを復号するための復号キーはライセンス情報に含まれ、ライセンス情報はユーザ識別情報を復号キーに用いて復号される。これによってコンテンツデータに対する著作権保護を行う。係るセキュリティー処理はマイクロコンピュータ21によるプログラム制御で行なわれる。

15 ICカードマイコン11によるセキュリティー処理について説明する。例えばICカードマイコン11は電子決済サービスなどに利用可能なISO/IEC15408の評価・認証機関による認証済み機能を実現している。EEPROM6には所定の認証証明書を保有し、ホストから認証要求があったときはその認証証明書を送り、これに対して認証を得ることを条件に、後続の通信処理が可能にされる。このようなセキュリティー処理の動作プログラムはマスクROMが40が保有する。ICカードマイコン11による認証処理はICカードマイコン11内部に閉じた環境で行うのがセキュリティーの観点より望ましい。この点で、ICカードマイコン11に専用の外部接続端子13Bを割当てて意義がある。用途上又は技術的にセキュリティー上の問題がない場合にはインタフェースコントローラ10経由でセキュリティー処理を行うことは差し支えない。また、MFMC 5の製造後、製品出荷までの過程にお

いて、外部接続端子 13B を介して、IC カードマイコン 11 に各種アプリケーションソフト、カード発行処理を容易に書き込むことができる。

例えば上述の如く IC カードマイコン 11 が電子決済サービスなどに利用可能な ISO/IEC 15408 の評価・認証機関による認証済みである場合、第 12 図に例示されるように、キャッシュカード、クレジットカード或いは定期券などのカードホルダに MFMC 5 を挿入し、非接触インタフェースを用いてそれらカード機能を実現することが可能になる。

#### 《IC カードマイコンのパワーオンリセット》

IC カードマイコン 11 は電子決済などレベルの高いセキュリティー処理に利用されることを考慮すると、IC カードマイコン 11 の異常な状態に対して全ての内部状態を初期化するパワーオンリセットはインタフェースコントローラ 10 等に比べて頻繁に行われる可能性が高い。これを考慮すると、第 13 図に概略が示されるように、IC カードマイコン 11 には第 7 図及び第 8 図で説明した専用の外部電源端子 Vcc-ic を有設けているので、MFMC 5 全体をリセットすること無く IC カードマイコン 5 単独で自由にパワーオンリセット可能になる。これにより、セキュリティーを保証しつつ MFMC 5 の勝手を向上させることができる。

第 14 図乃至第 16 図には IC カードマイコン 11 に対する単独パワーオンリセットを可能にする別の幾つかの例が示される。

第 14 図では、外部接続端子として前記 IC カードマイコン 11 とインタフェースコントローラ 10 に共通の外部電源端子 Vcc を有し、前記共通外部電源端子 Vcc から IC カードマイコン 11 の電源端子 50 に至る電源経路 51 にはインタフェースコントローラ 10 の制御によって電源供給を遮断可能な電源スイッチ 52 を有している。



第15図では、前記外部接続端子として前記ICカードマイコン11とインタフェースコントローラ10に共通の外部電源端子Vccを有し、前記ICカードマイコン11は前記インタフェースコントローラ10からパワーオンリセットが指示されるリセット信号resの入力端子53を有する。これによってもICカードマイコン単独でパワーオンリセット可能になる。

第16図では、前記インタフェースコントローラ10は前記外部電源端子Vccから動作電源が供給され、前記ICカードマイコン11は前記動作電源を降圧回路、レギュレータなどの電源回路54を介して電圧変更されたりまたはバイパスされた電源を動作電源とし、前記ICカードマイコン11は前記インタフェースコントローラ10からパワーオンリセットが指示されるリセット信号resの入力端子53を有する。これによってもICカードマイコン11単独でパワーオンリセット可能になる。特に、ICカードマイコン11とインタフェースコントローラ10が別チップで形成され動作電源電圧が相違する場合に有効である。

#### 《非接触インタフェースのアンテナ》

前記ICカードマイコン11が有するRF部45のアンテナ端子TML1, TML2から見た入力容量は最大で大凡20%の製造ばらつきが有する。同調周波数にばらつきを生じないように、第17図に例示されるように、MFMC5に内蔵された内蔵アンテナ55と共振する同調コンデンサ56が配置されている。前記同調用コンデンサ56は、チップコンデンサ、バリキャップコンデンサ又は不揮発性MOS容量などで構成すればよい。不揮発性MOS容量は例えば第18図に例示されるように電氣的に書換え可能なフラッシュメモリセルトランジスタ58を利用すればよい。フラッシュメモリセルトランジスタ58は、ウェル領

域WFにソース領域SFとドレイン領域DFが形成され、その間のチャネル領域CF上に、ゲート酸化膜、フローティングゲートFG、絶縁膜、及びコントロールゲートCGが積層されて構成される。フローティングゲートFGに代えてシリコン窒化膜などの電荷トラップ膜を採用する構造であってもよい。フラッシュメモリセルトランジスタ58は、例えばコントロールゲート電圧 $V_G = 12\text{ V}$ 、ドレイン電圧 $V_D = 5.5\text{ V}$ 、ソース電圧 $V_S = 0\text{ V}$ でドレインからフローティングゲートへのホットエレクトロン注入によって書き込み状態にされ、例えばコントロールゲート電圧 $V_G = 0\text{ V}$ 、ドレイン電圧 $V_D = \text{開放 (open)}$ 、ソース電圧 $V_S = 12\text{ V}$ でフローティングゲートFGから電子のトンネル放出によって消去状態にされる。不揮発性MOS容量は一方の蓄積電極をコントロールゲートCG、他方の蓄積電極をウェル領域とする。消去状態と書き込み状態ではチャネルに形成される空乏層の大きさが相違され、これによって両端子間の容量値に相違を生ずる。消去と書き込みの度合に応じた閾値電圧の変化に伴った可変容量を構成することができる。不揮発性メモリセルトランジスタであるから一度設定した消去・書き込み状態は自立的に維持される。不揮発性メモリセルトランジスタ58を複数直列に接続することにより、不揮発性MOS容量の耐圧を確保することが可能となる。

ICカードマイコン11が内部アンテナ55を用いて非接触インタフェース可能であることにより、MFMC5は非接触型のICカードと同様にトランス結合による誘導起電力を動作電源として単独で機能させることが可能である。MFMC5をカードホストから取り外し、或いはカードホストの電源遮断時に利用する場合に有意義である。

第19図には外部アンテナを内部アンテナから切り離し可能に接続した例が示される。前記内部アンテナ55に代えて外部アンテナ接続端

子 L A, L B を前記 I C カードマイコン 11 のアンテナ端子 T M L 1, T M L 2 に選択的に接続可能なスイッチ回路 6 2 を採用する。接続端子 L A, L B には外部アンテナ 6 0 が接続され、更に同調コンデンサ 6 1 が接続される。外部アンテナ 6 0 を用意することにより、内部アンテナ  
5 に比べて送受信感度などの特性の優れたアンテナの利用が可能になる。

外部アンテナ 6 0 を用いた場合、そこから流入する高周波信号が内部アンテナ 5 5 に流れると、M F M C 5 を組み込んだ機器内部で内蔵アンテナ 5 5 より高周波信号が放出される。要するに、M F M C 5 を搭載した機器に対し内部アンテナ 5 5 が高周波ノイズ発生源になる虞がある。  
10 このとき、外部アンテナ 6 0 の使用時に内部アンテナ 5 5 を切り離し可能とすることにより、そのような不所望な高周波ノイズを生ずる虞を解消することができる。

また、通信携帯端末 1 などの機器より M F M C 5 を取り出したとき、I C カードマイコン 11 に内部アンテナ 5 5 を接続する状態に切り替えておくことにより、M F M C 5 単独で非接触 I C カードとして自立した機能を使用することができる。使用方法によってはカードへの給電を必要とせずバッテリー無しで動作する。  
15

前記スイッチ回路 6 2 はスイッチ 6 3 とその制御回路 6 4 から成る。スイッチ 6 3 は第 20 図に例示されるように、対応する接続端子間に介在され電氣的に閾値電圧が変更されることにより経路の遮断又は導通を制御可能な不揮発性記憶素子 6 5 によって構成される。不揮発性記憶素子 6 5 は前記フラッシュメモリセルトランジスタ 5 8 によって構成すればよい。制御回路 6 4 は、前記不揮発性記憶素子 6 5 の選択端子(ゲート)から見た閾値電圧を第 1 状態例えば書き込み状態として前記経路  
20 を遮断し、その閾値電圧を第 2 状態例えば消去状態として前記経路を導通させる。前記閾値電圧の第 2 状態において前記選択端子は回路の接地  
25

電圧に接続される。要するに過消去状態、換言すればデプレション型とする。これにより、経路を導通させるオン状態のスイッチ状態の維持に電力消費を要しない。制御回路 64 に対する書き込み・消去動作の指示は例えばインタフェースコントローラ 10 が与える。制御回路 64 は書き込み・消去動作の指示に従って不揮発性記憶素子 65 に対する動作手順を制御する。

不揮発性記憶素子 65 の閾値電圧を変更するときの高電圧印加を考慮すると、第 21 図に例示されるように、前記不揮発性記憶素子 65 を挟んで直列に一对の分離用スイッチ MOS トランジスタ 66 を配置してもよい。前記分離用スイッチ MOS トランジスタ 66 はその選択端子が回路の接地電圧  $V_{ss}$  に接続されることによってオン状態にされる。要するデプレション型の MOS トランジスタとされる。前記制御回路 64 は不揮発性記憶素子 65 の閾値電圧を変更するとき前記分離用スイッチ MOS トランジスタ 66 をオフ状態に制御する。このとき分離用スイッチ MOS トランジスタ 66 のゲート電圧は負電圧にされる。前記分離用スイッチ MOS トランジスタ 66 を採用することにより、当該トランジスタが介在される経路に接続する回路を全て高耐圧にすることを要しない。

第 22 図及び第 23 図には不揮発性記憶素子 65 の別の例が示される。第 22 図は回路構成を示し、第 23 図はトランジスタの縦断面構造を示す。同図に示される不揮発性記憶素子 65 は高耐圧不揮発性トランジスタ素子構造 (NVCBT: Non-Volatile Channel Bipolar Transistor) とされ、ゲート  $T_{gt}$ 、アノード  $T_{an}$  及びカソード  $T_{ca}$  を有する。即ち、前記不揮発性記憶素子 65 は、バイポーラトランジスタ部 70 と、バイポーラトランジスタ部 70 のベース・コレクタ間にドレイン・ソースが接続された不揮発性 MOS トランジスタ部 71 とから成り、不揮発

性MOSトランジスタ部71はソース・ドレイン間のチャネル上に絶縁膜を介して電荷蓄積領域が形成され、この電荷蓄積領域に蓄積される電荷に応じて閾値電圧が可変にされる。電荷蓄積領域は例えばフローティングゲートにより構成され、その上に絶縁膜を介してコントロールゲートが形成されている。このNVCBT構造を有する不揮発性記憶素子65は、不揮発性MOSトランジスタ部71の耐圧がバイポーラトランジスタ部の耐圧より低くて済む。

前記NVCBT構造を有する不揮発性記憶素子65の動作を説明する。NVCBT構造を有する不揮発性記憶素子65はフローティングゲートに電子が蓄積していない状況のとき不揮発性MOSトランジスタ部71は消去状態、特にデプレッション状態になるようにされる。先ず導通状態について説明する。前記不揮発性MOSトランジスタ部71の消去状態において、コントロールゲートの印加電圧 $V_g$ が不揮発性MOSトランジスタ部71のスレッシュホールド電圧 $V_{th}$ より大きく、不揮発性MOSトランジスタ部71のソースとドレイン間に反転層が形成されていると、バイポーラトランジスタ部70のベースに電子が注入され、ベース電流が流れ、バイポーラトランジスタ部70がオン状態になる。デプレッションモードなのでコントロールゲート電圧 $V_g$ をカソードと同電位の接地電圧にしてもオン状態を維持する。コントロールゲート電圧は、少なくともフローティングゲートにホットエレクトロンが注入されない程度のバイアス状態（前記接地電圧印加状態）を満足すればよい。

消去状態においてコントロールゲートの電圧を充分高くすれば、ソースからフローティングゲートにホットエレクトロンが注入され、閾値電圧が高くされる。

次に遮断状態について説明する。フローティングゲートに電子が注入

- された書き込み状態では閾値電圧が高くされる。書き込み状態において、コントロールゲートの印加電圧  $V_g$  が閾値電圧よりも低い場合、ソース・ドレイン間にチャネル反転層が形成されないのでバイポーラトランジスタ部 70 へ電子が注入されず、そのベース電流が流れないので、
- 5      バイポーラトランジスタ部 70 における正電位のアノードと負電位のカソード間は遮断状態になる。たとえば、コントロールゲート印加電圧  $V_g$  をカソードと同電位の接地状態にしてもオフ状態を維持する。コントロールゲート電位は、少なくともフローティングゲートの蓄積電子が引き抜かれない条件（前記接地電圧印加状態）を満足すればよい。
- 10      書き込み状態のとき、コントロールゲート電圧  $V_g$  を MOS トランジスタ部 71 のソース、ドレイン、p ウェル領域（第 22 図のコレクタの領域）に対して充分負電位とすることにより、FN (Fowler Nordheim) 電流によりフローティングゲートの蓄積電子を引き抜いて消去状態にすることができる。これにより MOS トランジスタ部 71 はエンハンス
- 15      モードからデプレッションモードに変化できる。
- 第 24 図に例示されるように、ゲート  $T_{gt}$  とカソード  $T_{ca}$  をバイアス抵抗を介在させて接続することにより、消去状態でオン、書き込み状態でオフのスイッチ状態を、不揮発性 MOS トランジスタ部 71 のチャネル領域形成の有無、要する書き込み・消去だけで良好に維持記憶
- 20      することが容易になる。
- NVCBT 構造に代表される不揮発性記憶素子 65 は第 20 図で説明した経路切替え回路にも利用できる。例えば第 73 図に示されるように、正負交流を流す事ができるようにするために、MOS トランスファゲートと同じように 2 個の NVCBT 構造の不揮発性記憶素子 65 で
- 25      1 個のスイッチとし、互いに一方の NVCBT 構造の不揮発性記憶素子 65 のアノード  $T_{an}$  を他方の NVCBT 構造の不揮発性記憶素子 6

5 のカソードT c aに接続して構成される。そのようなスイッチの一つは端子L A (L B) と端子T M L 1 (T M L 2) との選択的な接続に用いられ、もう一つのスイッチは端子T M L 1 (T M L 2) とアンテナ5 5 との選択的な接続に用いられる。N V C B T構造の不揮発性記憶素子 5 6 5 に対するプログラム制御は制御回路6 4 がゲートT g t を介して行う。 N V C B T構造に代表される不揮発性記憶素子6 5 はアンテナスイッチだけでなく回路のパワースイッチにも用いることができる。例えば第2 5 図に例示されるように、所定の回路6 6 の電源端子V c c 側に不揮発性記憶素子6 5 と制御回路6 4 を配置する。要するに、N V C B T構造の不揮発性記憶素子6 5 のアノードT a n (エミッタ) を電源端子V c c 側に接続する。制御回路6 4 には動作イネーブル信号E N と書き込み・消去の指示信号E W が供給される。前記回路6 6 は例えばR F 部4 5 とされる。非接触インタフェースを使用しないときR F 部4 5 に対する動作電源の供給を完全に遮断することができる。

15 また、第2 6 図に例示されるように、不揮発性記憶素子6 5 を用いたスイッチ回路6 3 と制御回路6 4 はI Cカードマイコン1 1 とインタフェースコントローラ1 0 との選択的な切り離しなどにも利用可能である。このとき制御回路6 4 に対する動作指示はI Cカードマイコン1 1 またはインタフェースコントローラ1 0 のどちらかが行う。高度な  
20 セキュリティーレベルで認証処理等を行うとき、I Cカードマイコン1 1 は他の回路と切り離すことが望ましいとする場合を想定する。このとき、I Cカードマイコン1 1 は専用外部端子1 3 Bを用いてインタフェースされる。必要に応じてI Cカードマイコン1 1 はスイッチ回路6 3 を接続することによりインタフェースコントローラ1 0 を介してメモ  
25 リ1 2 を利用することも可能にされる。

N V C B T構造に代表される不揮発性記憶素子6 5 をI Cカードマ

アイコンの選択的切り離し、内部アンテナと外部アンテナの切り替え、パワースイッチ等として用いることにより、従来のMOSスイッチのようなオン／オフ制御で必要となる定常的な外部印加電圧・電力が不要となり、低消費電力に資することができる。第25図に示されるような不揮発性記憶素子65と制御回路64から成る回路、或いは第19図に例示されるスイッチ回路63と制御回路64から成る回路を、待機電力の非常に小さい半導体スイッチモジュールとして位置付けることも可能である。特に図示はしないが、そのような半導体スイッチモジュールは電力系回路における待機電力小のスイッチモジュールとして利用することも可能である。特にNVCBT構造の高耐圧に鑑みれば電力系スイッチモジュールの用途は好適である。

#### 《アンテナ特性の向上》

第27図にはMFMC5の平面構造が例示される。配線基板80の一表面にはその外周部に沿って前記内部アンテナ55を構成する配線コイルパターン81が周回形成され、その内側に多数のボンディングパッド82が周回配置されている。ボンディングパッド82の内側にはフェライトプレートの一例であるフェライトチップ84が配置され、これに例えば2個の半導体チップ85、86がスタックされている。配線基板のボンディングパッド82は半導体チップ85、86の対応するボンディングパッド88とボンディングワイヤ90で接続される。この例では一つの半導体チップ86がインタフェースコントローラ10とICカードマイコン11を実現する。

第28図には第27図の平面構造に対応するMFMC5の側面構造が例示される。スタックされた配線基板80とフェライトチップ84、フェライトチップ84と半導体チップ85、半導体チップ85、86相互は夫々接着剤91、92で結合される。配線基板80は例えば多層配



線基板で構成され、その裏面にはボンディングパッド 8 2 に接続するコネクタ端子（若しくは半田接続端子）9 3 が形成される。コネクタ端子 9 3 は前記外部接続電極 1 3 A, 1 3 B の一例とされる。配線基板 8 0 の表面はその全体が樹脂 9 5 で封止されている。要するにケーシングは

5 樹脂モールドで形成された封止樹脂 9 5 とされる。第 2 7 図及び第 2 8 図に示されるパッケージ構成はマイクロ MMC パッケージと称する。

強磁性体であるフェライトは透磁率が大きいため磁束はフェライトチップ 8 4 を貫通せずにそれに沿った経路を採ろうとする。したがって、フェライトチップ 8 4 の外周部にコイルパターン 8 1 で構成される内部アンテナ 5 5 が配置されているので、アンテナ 5 5 近傍に大きな磁束を得ることが可能になり、これによってアンテナ 5 5 のインダクタンス性能、即ちここではアンテナ性能の向上に資することができる。更に、半導体チップ 8 5, 8 6 はフェライトチップ 8 4 上に重ねられているから半導体チップ 8 5, 8 6 に磁束が透過するのを緩和することができ、

10 半導体チップ 8 5, 8 6 に不所望な渦電流もしくは誘導起電力が発生して誤動作を生ずる虞を未然に防止することが可能になる。

第 2 9 図には MFMC 5 の別の側面構造が例示される。ここではフェライトチップに代えてフェライトプレートとしてのフェライト粉末入り接着剤 9 6 を用いた。この接着剤 9 6 を用いて、配線基板 8 0 と半導体チップ 8 5 を結合している。これによってもフェライトチップ 8 4 同様の作用効果を得る。

20

前記フェライトプレートは、フェライトチップ 8 4、フェライト粉末入り接着剤 9 6 等の塗布されたフェライトペーストに限定されず。貼りつけられたフェライトフィルム等であってもよい。フェライトとは  $\text{M} \cdot \text{Fe}_2\text{O}_3$  に代表される強磁性酸化物を総称するから、所謂フェライト以外の強磁性酸化物であってもよい。

25

第30図にはMFMC5の別の平面構造が例示される。第31図には第30図の平面構造に対応するMFMC5の側面構造が例示される。内部アンテナ55を構成する配線コイルパターン98は配線基板97内の多層配線パターンを用いて形成される。その内部には3個の半導体チップ100、101、102が実装され、インタフェースコントローラ10、ICカードマイコン11、メモリ12が夫々別々の半導体チップ100、101、102から成る。フェライトチップ103に対する半導体チップ100、101、102のスタック構造、ボンディング構造等、その他の構成は第27図と基本的に同じである。配線基板97上の半導体チップ100、101、102等は全体的に樹脂95で封止されてから、外部接続端子を構成するコネクタ端子93を露出させて全体がキャップ105で覆われている。キャップ105がケーシングを構成している。キャップ105と樹脂95との間は図示しない接着材を介して接着されている。第30図の構成は第27図よりも全体的に大きくされている。第30図及び第31図に示されるパッケージ構成はRSMMCパッケージと称される。第38図にはRSMMCパッケージを適用したMFMC5の外観が斜視図にて例示される。

第32図にはMFMC5の更に別の側面構造が例示される。ここでは第30図のフェライトチップ103に代えてフェライト粉末入り接着剤96をフェライトプレートとして用いた。この接着剤96を用いて、配線基板97と半導体チップ102を結合している。

MFMC5の配線基板97上において、半導体チップを積層して配置したことにより、配線コイルパターン98とそれぞれの半導体チップとの距離を確保することが容易になる。それぞれの半導体チップと配線コイルパターン98との距離を確保したことにより、半導体チップへの電磁界による影響が無視できる程度にまで低減できる場合には、強磁性の

材料を含まないダイボンディング用接着材などによりそれぞれの半導体チップを配線基板 97 上に接着することも可能である。

第 33 図には MFMC 5 の更に別の平面構造が例示される。第 34 図には第 33 図の平面構造に対応する MFMC 5 の側面構造が例示される。スペースファクタの点より上述の如く半導体チップ 100, 101, 102 の外周部に内部アンテナ 55 を配置する必要性がなければ、比較的大きな配線基板 109 の一部に内部アンテナ 55 を構成する配線コイルパターン 107 を形成し、その側方に半導体チップ 100, 101, 102 を配置すればよい。要するにこの例では第 30 図の場合よりも大きなキャップ 108 でケーシングを構成している。この場合にも、アンテナ性能の向上という観点より、前記内部アンテナ 55 を構成する配線コイルパターン 107 の中央部にフェライトチップ 110 を配置するのが望ましい。第 33 図及び第 34 図に示されるパッケージ構成はスタンダード MMC パッケージと称される。第 39 図にはスタンダード MMC パッケージを適用した MFMC 5 の外観が斜視図にて例示される。

第 35 図には更に別の MFMC 5 の側面構造が例示される。第 34 図との相違点は前記内部アンテナ 55 を構成する配線コイルパターン 107 の外形よりも大きなフェライトチップ 110 を設けた点であり、スペースが許す限り大きな幅のフェライトチップ 110 を用いた方がアンテナ効率の向上に寄与する。また、第 35 図に示す構造は、フェライトチップ 110 が樹脂 95 で覆われず接着剤 95B にて配線基板 109 に固定される。このように、樹脂 95 がフェライトチップ 110 を覆わない構造とすることにより、樹脂 95 を形成する工程の後に、フェライトチップ 110 を配線基板 109 上に搭載することが可能になるとともに、フェライトチップ 110 を樹脂 95 の内部に封止した場合に比較して、より厚いフェライトチップ 110 を搭載することが容易となり

アンテナ効率の向上に寄与することができる。

第36図には更に別のMFMC5の側面構造が例示される。磁束による半導体チップ100, 101, 102の誤動作防止の観点より、前記内部アンテナ55を構成する配線コイルパターン107の側方に配置された半導体チップ100, 101, 102を金属又はフェライトを含む内部キャップ112で更に覆うとよい。図36においては、配線基板109とキャップ108とが接着材95Bを介して接着されている。

前記内部アンテナ55のインダクタは、例えば配線基板に形成されたコイルパターン81, 98, 107によって形成される。前記インダクタは、巻き線コイルによって形成することも可能である。

前記コイルパターン81, 98, 107を、各半導体チップ100, 101, 102に接続されるボンディングパッド82あるいはその他の配線と同層の配線パターンによって形成した場合には、例えば巻き線コイルによってインダクタを形成した場合に比較して、コストを削減できるとともに、装置の薄型化を達成するのも容易となる。また、配線コイルパターン98, 107のように、複数層の配線を利用してコイルパターンを形成することにより、トランス結合による非接触インタフェースの効率を向上することが容易となる。

また、例えばETC車載器や専用狭帯域通信用途向けなどの5.8ギガヘルツ(GHz)のよな高周波を用いる場合には、前記アンテナ55を誘電体セラミックス等から成る誘電体アンテナチップに代えてもよい。アンテナ特性という点で前記誘電体アンテナチップはフェライトプレートにスタックするのが望ましい。例えば、第37図例示されるように、誘電体アンテナチップ113の上にフェライトチップ94を重ねる。前記半導体チップ86, 85はフェライトチップ94上にスタックすればよい。フェライトチップ94はフェライト粉入り接着剤やフェライト

フィルムなど他のフェライトプレートに変更可能である。

前記内部アンテナ 55 は配線基板に設ける構造に限定されず、例えば、前記キャップ 105, 108 に設けてもよい。例えば第 40 図に例示されるスタンダード MMC パッケージ構造において、キャップ 108 の内  
5 側に内部アンテナ 55 を構成するコイル 115 を形成する。第 41 図に例示されるように、コイル 115 の上に封止樹脂 95 の領域を重ねて、コネクタ端子 93 を外部に露出させる。キャップ 105 をフェライト粉混入の樹脂製とすれば、上記同様にアンテナ効率が向上し、半導体チップの誤動作防止にも役立つ。アンテナ効率の向上、半導体チップの誤動作防止という観点から、第 42 図に例示されるように、コイル 115 と  
10 封止樹脂 95 の領域との間に、フェライトチップ、フェライトフィルム若しくはフェライトラベル等のフェライトプレート 116 を挿入すると尚良い。この場合キャップ 105 は単なる樹脂で良い。第 40 図乃至第 42 図の構成はその他のパッケージ構造にも適用可能である。

第 41 図および第 42 図において、キャップ 105 に形成されたコイル 115 と IC カードマイコン 11 のアンテナ端子 TML1 / TML2 とは、配線基板 97 上に形成された配線 97A を介してコイルパターン 115 と接続している。配線 97A とコイルパターン 115 とは、例えば Ag ペーストなど導電性接着材 97B などを通じて電氣的に接続  
15 していればよい。

キャップ 105 にコイル 115 を形成することにより、コイル 115 と各半導体チップとの距離を確保することが容易となる。コイル 115 と各半導体チップとの距離を確保することは、渦電流損を低減してコイル 115 の特性を確保する上でも、半導体チップに不所望な渦電流もしくは誘導起電力が発生して誤動作を生ずる虞を未然に防止する上でも  
20 有効である。

## 《渦電流損によるアンテナ特性劣化防止》

複合配線基板に代表される多層配線基板には接地電位に導通される比較的大きなグランドパターンが形成される。このグランドパターンを磁束が通過すると渦電流損を生じ、アンテナ特性が劣化する。この観点より、第43図に例示されるように、前記配線基板は単一のグランドパターンに代え、複数個に分割され且つ閉路を形成せずに接続された分割グランドパターン118a~118iを有する。分割グランドパターン118aは接地電圧を受けるボンディングパッドVssに接続され、他の分割グランドパターン118b、118cに直列的に接続される。同様に、分割グランドパターン118dは接地電圧を受けるボンディングパッドVssに接続され、他の分割グランドパターン118e、118fに直列的に接続される。分割グランドパターン118gは接地電圧を受けるボンディングパッドVssに接続され、他の分割グランドパターン118h、118iに直列的に接続される。第44図には第43図の側面断面構造が図示される。分割グランドパターン118a~118iは多層配線基板の下層側に形成されている。これにより、グランドパターンの表面で生ずる渦電流損によるアンテナ特性の劣化を緩和することができる。分割グランドパターン構造はマイクロMMCパッケージ構造だけでなくRSMMCや、スタンダードMMCパッケージ構造などの場合も当然適用可能である。

## 《EMI対策》

EMI対策、即ち、外部への電磁的な妨害と外部からの電磁波による障害発生の抑制について説明する。

まず、キャップによる電磁シールドを説明する。第45図では磁束を遮蔽すると言う観点より、キャップ108に、フェライト粒子を混入した構造、表面にフェライト粒子を塗布した構造、又は表面にフェライト

塗料を塗布した構造を採用する。それら樹脂製キャップ108は電磁シールドになる。キャップ108の開口部には配線基板のコネクタ端子93が露出される。この構造ではアンテナによる受信面が開口部に面するようになっている。キャップによる磁束遮蔽構造はスタンダードMMCパッケージ構造以外のパッケージ構造にも適用可能である。

渦電流損によって磁束の影響を緩和するという観点に立つと、第46図に例示されるように、キャップ105を金属製とし、表面に絶縁皮膜を施した構造を採用すれば良い。金属製キャップ105は電磁シールドに成る。金属キャップ105による渦電流損構造はRSMCパッケージ構造以外のパッケージ構造にも適用可能である。

第47図では金属又はフェライト入りのモールドキャップ構造を採用する。即ち、キャップ105は、その芯部分に金属又はフェライト121が入っており、全体を樹脂120でモールドして絶縁し所定形状に整形されている。当該モールドキャップ105は電磁シールドになる。この構造はRSMCパッケージ構造以外のパッケージ構造にも適用可能である。また、前記金属またはフェライト121は、全体を樹脂120でモールドしなくてもよい。特に、RSMCのラベル面となる部分の金属またはフェライト121を樹脂120で覆わない構造とすると、モールドキャップ105の樹脂95を覆う部分の厚さを薄くすることができる。モールドキャップ105の樹脂を覆う部分95を薄くすると、樹脂95の容積を大きくすることができ、大容量のメモリを搭載する上で有利である。

次にラベルによる電磁シールドを説明する。電磁シールドラベル122の貼り付けは、第48図及び第49図で代表されるようなキャップ108、105、第50図で代表されるような配線基板109、或いはマイクロMMCパッケージ構造における封止樹脂の表面に対して行えばよ

い。電磁シールドラベル 1 2 2 の貼り付け位置は、電波の入力面若しくは受信面とは反対の面である。第 5 0 図の場合に受信面は配線基板 1 0 9 とは反対側とされる。第 4 8 図及び第 4 9 図の場合に受信面は配線基板 1 0 9, 9 7 の側とされる。第 5 1 図は第 4 8 図の形式で電磁シールドラベル 1 2 2 の貼り付けを行ったスタンダード MMC パッケージ構造の MFMC 5 を斜視図で示す。第 5 2 図は第 5 0 図の形式で電磁シールドラベル 1 2 2 の貼り付けを行った HSMMC パッケージ構造の MFMC 5 を斜視図で示す。第 5 3 図は第 4 9 図の形式で電磁シールドラベル 1 2 2 の貼り付けを行った RSMMC パッケージ構造の MFMC 5 を斜視図で示す。

電磁シールドラベル 1 2 2 は、例えばフェライト粒子を塗布、印刷又は接着したラベル、アルミニウムなどの金属蒸着マットラベル、アルミニウムや銅或いは方向性ケイ素鋼板又は強磁材料などを金属ベースとした金属板ラベル等とされる。

上記キャップやラベルを用いた電磁シールドによって電磁的な妨害と外部への電磁的障害発生を抑制若しくは緩和することができる。このような電磁シールド技術は、非接触 IC カード機能を有さないメモリカードへも応用することが可能である。

#### 《薄型化、逆差し防止》

ソケットの薄型化とソケットに対する逆差し防止について説明する。第 5 6 図には MFMC 5 をソケット 1 3 0 に装着する前の状態を示し、第 5 7 図には MFMC 5 をソケット 1 3 0 に装着した状態を示す。第 5 8 図及び第 5 9 図は第 5 6 図の A-A' 断面を示し、第 5 4 図は第 5 7 図の B-B' 断面を示す。

ここではマイクロ MMC パッケージ構造を一例に説明する。マイクロ MMC パッケージ構造において、パッケージ即ち封止樹脂 9 5 は一括モ



ールドもしくはMAP（モールド・アレイ・パッケージ）形態で形成される。このとき封止樹脂95には、第54図、第56図及び第57図に例示されるように、その厚さ方向に、ソケット130の弾性爪131, 132に係止される段差部133, 134を形成しておく。段差部133, 134の形成は一括モールド時に、封止金型のキャビティ内面に凸部を設けることによって、封止樹脂95の切断分離位置に沿って溝を予め形成し、その後前記溝に沿って個々にデバイスを切断分離することによって出来上がる。結果として段差部133, 134は封止樹脂95の平行な縁辺部に形成されることになる。封止樹脂95の厚さは第28図で説明した半導体チップ85, 86及びボンディングワイヤ90を封止するのに必要な厚さによって規定される。段差部133, 134は封止樹脂95の両端部分に形成され半導体チップ85, 86等のスタック部分からずれているので問題ない。136、137はMFMC5のコネクタ端子93に接触する片持ち弾性端子である。

ここで、第67図乃至第71図を参照して上記段差部を有するマイクロMMCパッケージ構造のMFMC5の製造方法についてを説明する。

先ず、第67図に例示されるように配線基板80Aを用意する。ここで用意する配線基板80Aには1個のMFMC5に必要な配線パターンやパッド電極等が複数ユニット形成されている。次に、第68図に例示されるように、配線基板上80Aの各ユニットの配線パターンにチップ84, 85, 86を搭載し、チップ84, 85, 86のパッドを対応するボンディングパッド82にボンディングワイヤ90で接続する。そして、上金型150と下金型151で構成される封止金型のキャビティ内にチップ84, 85, 86が搭載された配線基板80Aを配置する（第69図参照）。キャビティ内には樹脂152が注入され、これによっ

て封止樹脂が形成される（第 70 図参照）。金型 150, 151 を取り外した後、封止樹脂 152 及び配線基板 80A をダイシングブレード 153 によって切断し、MFMC 5 が個片化され（第 71 図参照）、段差部 133, 134 が形成された MFMC 5 が完成する。

- 5       ソケット 130 の弾性爪 131, 132 は封止樹脂 95 の厚さよりも薄い段差部 133, 134 を係止するから、ソケット 130 の厚さ H1 を最小限に抑えることが容易になる。比較例として挙げる第 55 図のように封止樹脂に段差部を設けない場合には弾性爪の位置が高くなり、その分ソケットの厚さ H2 が大きくなる。
- 10       第 56 図に例示されるように前記 2 個所の段差部 133, 134 は非対象にされる。例えば、一方の段差部 134 は均一に形成され、他方の段差部 133 は途中で段差が形成が止められている。対応する弾性爪 131 にはその突起 133A を係止する凹陥部 131A が形成される。これにより、ソケット 130 に左右縁辺を逆方向に向けて MFMC 5 が装着される事態の発生を抑止することができる。要するに、ソケット 130 に対する MFMC 5 の逆差しを防止することができる。ソケット 130 に対して MFMC 5 は第 57 図に示される向きだけで搭載可能にされる。これにより、ソケット 130 の端子 136, 137 と MFMC 5 の端子 93 が非対応端子同士電氣的に接触して回路や端子が破壊する事態を防止することができる。
- 15
- 20

- ソケット 130 の端子 136, 137 と MFMC 5 の端子 93 が非対応端子同士電氣的に接触して回路や端子が破壊する事態を防止するという観点に立てば、前記外部接続端子 93 をパッケージとしての封止樹脂 95 の中心に対して非線対称にするのが効果的である。例えば第 58
- 25       図に例示するように封止樹脂 95 の外に露出される外部接続端子 93 を複数列に並列し、前記複数列を封止樹脂 95 の段差部 133, 134

に対して偏らせる。第60図には左右をずらした端子93の配列の具体例として第3図の端子構成に対応する端子配列が例示される。第58図の向きでソケットにMFMC5を挿入すれば対応端子が正常に接続する。第59図のようにそれとは左右逆向きでソケットにMFMC5を挿入しても、端子13, 137と端子93は電氣的に接触しない。上記端子配列に偏りを持たせる手段は、段差部133, 134を非対称にする手段と共に、或いはそれに代えて採用することが可能である。

上記逆差し防止の端子配列は、第61図のように外部接続端子93を複数列に並列し、前記複数列には並列方向に対して相互に偏りを持たせるようにしてもよい。端子間ピッチがPのとき、例えば偏りを $P/2$ とすればよい。端子93それ自体の幅は第3図に比べて狭くなる。更に第62図に例示されるように段差部133, 134に対する偏りと端子配列の配列方向の偏りの双方を採用しても良い。また、第63図に例示されるように、封止樹脂95に対し端子を端子配列方向一方向に全体的にずらして偏りをもたせる。ずれは端子ピッチPの半分 $P/2$ とすればよい。また、上記逆差し防止の段差部133, 134の形状は第64図又は第65図に示されるアンバランス形状であってもよい。

また、ソケットを、プラスチック成型用の成型金型を用いて製造する場合には、第56図に示すように、弾性爪131, 132の位置と外部接続端子93との位置が平面図上で異なる位置に配置するようにソケットを設計することにより、成型金型の構造をより単純にすることが容易になり、ソケットの生産性を向上することができる。

MFMC5の薄型化という観点によれば、配線基板又はフェライトプレート上にスタックされる複数の半導体チップに対して、表面積が小さいほど薄く形成し、薄い半導体チップほど上層に配置すればよい。表面積が小さいほど曲げモーメントによる応力・歪み状態は小さくて済むか

らである。例えば第 28 図において相対的に厚くて大きな半導体チップ 85 を下に、相対的に薄くて小さい半導体チップ 86 を上に重ねる。特にこの方法を採用すれば、フェライトプレートを増やすことが容易になる。フェライトプレートを増やすことは、磁気抵抗を低減するうえで有効である。

#### 《テスト容易化》

第 66 図に例示されるように、MFMC 5 に対するテスト容易化の観点より、外部接続端子を露出させて全体がパッケージに封止されているとき、前記パッケージの外に露出される外部接続端子として、カードソケットの端子に接続される第 1 外部端子 93 の他に、前記複数の第 1 外部端子 93 に夫々接続され且つ前記第 1 外部端子 93 よりもピッチと表面積の大きな複数のテスト端子 93 T を配置するのがよい。ピッチと表面積の大きな複数のテスト端子 93 T を用いることにより、多数の MFMC 5 に対して垂直方向からテストプローブを接触させる操作が容易になる。テスト端子 93 T の配置を効率化するには、前記複数の第 1 外部端子 93 は離間して複数列に配置し、複数列の間の領域全体に前記複数の第 2 外部端子 93 T を配置するのがよい。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

例えば、マルチファンクションカードデバイスは IC カードマイコンのようなセキュリティーコントローラを有しないデバイスであってもよい。また、マルチファンクションカードデバイス若しくは半導体カードデバイスの配線基板は多層配線基板に限定されず所謂リードフレームであってもよい。また、渦電流損によるアンテナ特性劣化防止、インダクタンス性能向上、EMI 対策、ソケットに対する半導体カードデバ

イスの逆差し防止、半導体カードデバイス用ソケットの薄型化、及びテスト容易化に係る発明はマルチファンクションカードデバイスに適用する場合に限定されず、モデムカード、LANカード等その他の半導体カードデバイスにも広く適用することができる。

5

#### 産業上の利用可能性

本発明は、カードコントローラ、フラッシュメモリ及びICカードマイコンを搭載したマルチファンクションメモリカードはもとより、その他の複合機能カード、通信カード、I/Oカード、及びメモリカードなどに広く適用することができる。

10

## 請 求 の 範 囲

1. 外部接続端子が形成された配線基板に複数の半導体チップが実装され、一の半導体チップは前記外部接続端子に接続されたインタフェースコントローラを構成し、他の半導体チップは前記インタフェースコントローラに接続されたメモリを構成し、

前記インタフェースコントローラは複数のインタフェース制御態様を有し、外部からの指示に従った制御態様で外部インタフェース動作とメモリインタフェース動作を制御し、

- 10 外部接続端子はインタフェース制御態様毎に個別化された個別端子と、複数のインタフェース制御態様毎に共通化された共通端子を有し、  
前記共通端子にはクロック入力端子、電源端子及び接地端子を含み、  
前記個別端子にはデータ端子を含む、ことを特徴とするマルチファンクションカードデバイス。

- 15 2. 前記インタフェースコントローラと同一又は別の半導体チップで構成されたセキュリティーコントローラを更に有し、

前記セキュリティーコントローラは前記インタフェースコントローラ及び外部接続端子に接続され、

- 20 前記個別端子には前記セキュリティーコントローラの専用端子を更に含む、ことを特徴とする請求の範囲第1項記載のマルチファンクションカードデバイス。

3. 前記セキュリティーコントローラの専用端子としてクロック端子、データ入出力端子、リセット端子、電源端子及び接地端子を有することを特徴とする請求の範囲第2項記載の記載のマルチファンクションカードデバイス。

- 25 4. 前記セキュリティーコントローラは前記外部端子の信号状態又はイ

インタフェースコントローラから与えられる動作コマンドに従ってセキュリティ処理を行うことを特徴とする請求の範囲第2項記載のマルチファンクションカードデバイス。

5 5. 内部アンテナを更に有し、前記セキュリティコントローラは前記アンテナを用いて非接触インタフェース可能であることを特徴とする請求の範囲第4項記載のマルチファンクションカードデバイス。

10 6. 外部アンテナを接続可能な外部アンテナ接続端子と、前記内部アンテナに代えて外部アンテナ接続端子を前記セキュリティコントローラに選択的に接続可能なスイッチ回路とを更に有することを特徴とする請求の範囲第5項記載のマルチファンクションカードデバイス。

15 7. 前記スイッチ回路は、対応する接続端子間に介在され電气的に変更可能な閾値電圧に応じて経路の遮断又は導通を制御可能な不揮発性記憶素子と、前記不揮発性記憶素子の選択端子から見た閾値電圧を第1状態として前記経路を遮断し、その閾値電圧を第2状態として前記経路を導通させる制御回路とを有し、

前記閾値電圧の第2状態において前記選択端子は回路の接地電圧に接続されることを特徴とする請求の範囲第6項記載のマルチファンクションカードデバイス。

20 8. 前記不揮発性記憶素子を挟んで直列に一对の分離用スイッチが配置され、

前記分離用スイッチはその選択端子が回路の接地電圧に接続されることによってオン状態にされ、

25 前記制御回路は不揮発性記憶素子の閾値電圧を変更するとき前記分離用スイッチをオフ状態に制御することを特徴とする請求の範囲第7項記載のマルチファンクションカードデバイス。

9. 前記不揮発性記憶素子は、バイポーラトランジスタ部と、バイポー

ラトランジスタ部のベース・コレクタ間にドレイン・ソースが接続された不揮発性MOSトランジスタ部とから成り、不揮発性MOSトランジスタ部はソース・ドレイン間のチャネル上に絶縁膜を介して電荷蓄積領域が形成され、この電荷蓄積領域に蓄積される電荷に応じて閾値電圧が可変にされることを特徴とする請求の範囲8項記載のマルチファンク

5 ションカードデバイス。

10. 前記個別端子として、前記セキュリティーコントローラに専用の外部電源端子を有することを特徴とする請求の範囲第2項記載のマルチファンクションカードデバイス。

10 11. 前記外部接続端子として前記セキュリティーコントローラとインタフェースコントローラに共通の外部電源端子を有し、前記共通外部電源端子からセキュリティーコントローラの電源端子に至る電源経路にはインタフェースコントローラの制御によって電源供給を遮断可能な電源スイッチを有することを特徴とする請求の範囲第2項記載のマルチファンクションカードデバイス。

15

12. 前記外部接続端子として前記セキュリティーコントローラとインタフェースコントローラに共通の外部電源端子を有し、前記セキュリティーコントローラは前記インタフェースコントローラからパワーオンリセットが指示されるリセット信号の入力端子を有することを特徴とする請求の範囲第2項記載のマルチファンクションカードデバイス。

20

13. 前記外部接続端子は外部電源端子を有し、前記インタフェースコントローラは前記外部電源端子から動作電源が供給され、前記セキュリティーコントローラは前記動作電源を基にセキュリティーコントローラ用の電源を発生し、前記セキュリティーコントローラは前記インタフェースコントローラからパワーオンリセットが指示されるリセット信号の入力端子を有することを特徴とする請求の範囲第2項記載のマルチ

25



ファンクションカードデバイス。

14. 更にアンテナを有し、前記セキュリティーコントローラを構成する半導体チップはアンテナに接続されて非接触インタフェース可能にされ、

5 前記配線基板は回路の接地電位が印加されるグランドパターンとして複数個に分割され且つ閉路を形成せずに接続された分割グランドパターンを有することを特徴とする請求の範囲第2項記載のマルチファンクションカードデバイス。

10 15. 更にアンテナを有し、前記セキュリティーコントローラを構成する半導体チップはアンテナに接続されて非接触インタフェース可能にされ、

前記アンテナは半導体チップの外側領域に配置され、半導体チップはフェライトプレート上にスタックされていることを特徴とする請求の範囲第2項記載のマルチファンクションカードデバイス。

15 16. 前記フェライトプレートは、フェライトチップ、塗布されたフェライトペースト、又は貼りつけられたフェライトフィルムであることを特徴とする請求の範囲第15項記載のマルチファンクションカードデバイス。

20 17. 更にアンテナを有し、前記セキュリティーコントローラを構成する半導体チップはアンテナに接続されて非接触インタフェース可能にされ、

前記アンテナの中央部にフェライトプレートを配置したことを特徴とする請求の範囲第2項記載のマルチファンクションカードデバイス。

25 18. 半導体チップはアンテナの側方に配置され金属キャップ又はフェライトキャップで覆われていることを特徴とする請求の範囲第17項記載のマルチファンクションカードデバイス。

19. 前記アンテナは配線基板に形成されたコイルパターン又は配線基板上に配置された巻線コイルであることを特徴とする請求の範囲第15項又は17項記載のマルチファンクションカードデバイス。

5 20. 更にアンテナを有し、前記セキュリティコントローラを構成する半導体チップはアンテナに接続されて非接触インタフェース可能にされ、

前記アンテナは誘電体アンテナチップでありフェライトプレートにスタックされていることを特徴とする請求の範囲第2項記載のマルチファンクションカードデバイス。

10 21. 前記半導体チップはフェライトプレート上に誘電体アンテナチップのスタック面とは反対面にスタックされていることを特徴とする請求の範囲第20項記載のマルチファンクションカードデバイス。

22. 前記外部接続端子を露出させて全体がキャップで覆われ、

15 前記キャップは、フェライト混入キャップ又は金属キャップであることを特徴とする請求の範囲第1項又は第2項記載のマルチファンクションカードデバイス。

23. 更にアンテナを有し、前記セキュリティコントローラを構成する半導体チップはアンテナに接続されて非接触インタフェース可能にされ、前記外部接続端子を露出させて全体がケーシングで覆われ、

20 前記アンテナは半導体チップの外側領域に形成され、半導体チップはフェライトプレート上にスタックされ、

アンテナによる受信面とは反対側に、電磁シールドを設けたことを特徴とする請求の範囲第2項記載のマルチファンクションカードデバイス。

25 24. 前記電磁シールドは、ケーシングのフェライト混入層、ケーシングの金属混入層、ケーシングに塗布したフェライト混入塗料の塗布面、

ケーシングに塗布した金属混入塗料の塗布面、又はケーシングに貼りつけた金属蒸着ラベルであることを特徴とする請求の範囲第 2 3 項記載のマルチファンクションカードデバイス。

5 25. 前記ケーシングはキャップ又は樹脂モールドであることを特徴とする請求の範囲第 2 4 項記載のマルチファンクションカードデバイス。

26. アンテナの接続端子間に外付けした同調用コンデンサを有することを特徴とする請求の範囲第 2 3 項記載のマルチファンクションカードデバイス。

10 27. 前記同調用コンデンサは、チップコンデンサ、バリキャップコンデンサ又は不揮発性 M O S 容量であることを特徴とする請求の範囲第 2 6 項記載のマルチファンクションカードデバイス。

15 28. 外部接続端子を露出させて全体がパッケージに封止され、前記パッケージの厚さ方向に、ソケットに係止される段差部が少なくとも 2 個所形成されていることを特徴とする請求の範囲第 1 項又は第 2 項記載のマルチファンクションカードデバイス。

29. 前記 2 個所の段差部は非対象であることを特徴とする請求の範囲第 2 8 項記載のマルチファンクションカードデバイス。

20 30. 前記パッケージの外に露出される外部接続端子はパッケージの中心に対して非線対称であることを特徴とする請求の範囲第 2 9 項記載のマルチファンクションカードデバイス。

31. 前記パッケージの外に露出される外部接続端子は複数列に並列され、前記複数列はパッケージの段差部に対して偏りを有していることを特徴とする請求の範囲第 3 0 項記載のマルチファンクションカードデバイス。

25 32. 前記パッケージの外に露出される外部接続端子は複数列に並列され、前記複数列は並列方向に対して相互に偏りを有していることを特徴

とする請求の範囲第30項記載のマルチファンクションカードデバイス。

5 33. 複数の半導体チップは表面積が小さいほど薄く形成され、薄い半導体チップほど上層に配置されていることを特徴とする請求の範囲第1項又は第2項記載のマルチファンクションカードデバイス。

34. 外部接続端子を露出させて全体がパッケージに封止され、前記パッケージの外に露出される外部接続端子は、カードソケットの端子に接続される第1外部端子と、前記複数の第1外部端子に夫々接続され且つ前記第1外部端子よりもピッチと表面積の大きな複数のテスト端子と  
10 であることを特徴とする請求の範囲第1項又は第2項記載のマルチファンクションカードデバイス。

35. 前記複数の第1外部端子は離間して複数列に配置され、複数列の間に前記複数の第2外部端子が配置されることを特徴とする請求の範囲第34項記載のマルチファンクションカードデバイス。

15 36. 配線基板に、外部接続端子と、前記外部接続端子に接続されたコントローラと、前記コントローラに接続されたメモリを有し、

前記コントローラは複数のインタフェース制御態様を有し、外部からの指示に従った制御態様で外部インタフェース動作とメモリインタフェース動作を制御し、

20 外部接続端子はインタフェース制御態様毎に個別化された個別端子と、複数のインタフェース制御態様毎に共通化された共通端子を有し、  
前記共通端子にはクロック入力端子、電源端子及び接地端子を含み、  
前記個別端子にはデータ端子を含む、ことを特徴とするマルチファンクションカードデバイス。

25 37. 配線基板に、外部接続端子と、前記外部接続端子に接続されたインタフェースコントローラと、前記インタフェースコントローラに接続

されたメモリと、前記インタフェースコントローラ及び外部接続端子に接続されたセキュリティーコントローラとを有し、

5 前記インタフェースコントローラは複数のインタフェース制御態様を有し、外部からの指示に従った制御態様で外部インタフェース動作とメモリインタフェース動作を制御し、

外部接続端子はインタフェース制御態様毎に個別化された個別端子と、インタフェース制御態様毎に共通化された共通端子を有し、

前記共通端子にはクロック入力端子、電源端子及び接地端子を含み、

10 前記個別端子にはデータ端子と、前記セキュリティーコントローラの専用端子を含む、ことを特徴とするマルチファンクションカードデバイス。

15 38. 前記セキュリティーコントローラの専用端子としてクロック端子、データ入出力端子、リセット端子、電源端子及び接地端子を有することを特徴とする請求の範囲第37項記載のマルチファンクションカードデバイス。

39. 配線基板に、外部接続端子と、前記外部接続端子に接続されたインタフェースコントローラと、前記インタフェースコントローラに接続されたメモリと、前記インタフェースコントローラ及び外部接続端子に接続されたセキュリティーコントローラとを有し、

20 前記インタフェースコントローラは複数のインタフェース制御態様を有し、外部からの指示に従った制御態様で外部インタフェース動作とメモリインタフェース動作を制御し、

25 前記セキュリティーコントローラは前記外部端子の信号状態又はインタフェースコントローラから与えられる動作コマンドに従ってセキュリティー処理を行うことを特徴とするマルチファンクションカードデバイス。

40. 内部アンテナを更に有し、前記セキュリティーコントローラは前記アンテナを用いて非接触インタフェース可能であることを特徴とする請求の範囲第39項記載のマルチファンクションカードデバイス。

5 41. 外部アンテナを接続可能な外部アンテナ接続端子と、前記内部アンテナに代えて外部アンテナ接続端子を前記セキュリティーコントローラに選択的に接続可能なスイッチ回路とを更に有することを特徴とする請求の範囲第40項記載のマルチファンクションカードデバイス。

10 42. 前記スイッチ回路は、対応する接続端子間に介在され電気的に変更可能な閾値電圧に応じて経路の遮断又は導通を制御可能な不揮発性記憶素子と、前記不揮発性記憶素子の選択端子から見た閾値電圧を第1状態として前記経路を遮断し、その閾値電圧を第2状態として前記経路を導通させる制御回路とを有し、

15 前記閾値電圧の第2状態において前記選択端子は回路の接地電圧に接続されることを特徴とする請求の範囲第41項記載のマルチファンクションカードデバイス。

43. 前記不揮発性記憶素子を挟んで直列に一对の分離用スイッチが配置され、

前記分離用スイッチはその選択端子が回路の接地電圧に接続されることによってオン状態にされ、

20 前記制御回路は不揮発性記憶素子の閾値電圧を変更するとき前記分離用スイッチをオフ状態に制御することを特徴とする請求の範囲第42項記載のマルチファンクションカードデバイス。

25 44. 前記不揮発性記憶素子は、バイポーラトランジスタ部と、バイポーラトランジスタ部のベース・コレクタ間にドレイン・ソースが接続された不揮発性MOSトランジスタ部とから成り、不揮発性MOSトランジスタ部はソース・ドレイン間のチャネル上に絶縁膜を介して電荷蓄積

領域が形成され、この電荷蓄積領域に蓄積される電荷に応じて閾値電圧が可変にされることを特徴とする請求の範囲第43項記載のマルチファンクションカードデバイス。

5 45. 配線基板に、外部接続端子と、前記外部接続端子に接続されたインタフェースコントローラと、前記インタフェースコントローラと外部接続端子に接続されたセキュリティーコントローラと、前記インタフェースコントローラに接続されたメモリを有し、

10 前記外部接続端子は前記セキュリティーコントローラに専用の外部電源端子を有することを特徴とするマルチファンクションカードデバイス。

46. 配線基板に、外部接続端子と、前記外部接続端子に接続されたインタフェースコントローラと、前記インタフェースコントローラと外部接続端子に接続されたセキュリティーコントローラと、前記インタフェースコントローラに接続されたメモリを有し、

15 前記外部接続端子は前記セキュリティーコントローラとインタフェースコントローラに共通の外部電源端子を有し、前記外部電源端子からセキュリティーコントローラの電源端子に至る電源経路にはインタフェースコントローラの制御によって電源供給を遮断可能な電源スイッチを有することを特徴とするマルチファンクションカードデバイス。

20 47. 配線基板に、外部接続端子と、前記外部接続端子に接続されたインタフェースコントローラと、前記インタフェースコントローラと外部接続端子に接続されたセキュリティーコントローラと、前記インタフェースコントローラに接続されたメモリを有し、

25 前記外部接続端子は前記セキュリティーコントローラとインタフェースコントローラに共通の外部電源端子を有し、前記セキュリティーコントローラは前記インタフェースコントローラからパワーオンリセッ

トが指示されるリセット信号の入力端子を有することを特徴とするマルチファンクションカードデバイス。

48. 配線基板に、外部接続端子と、前記外部接続端子に接続されたインタフェースコントローラと、前記インタフェースコントローラと外部  
5 接続端子に接続されたセキュリティーコントローラと、前記インタフェースコントローラに接続されたメモリを有し、

- 前記外部接続端子は外部電源端子を有し、前記インタフェースコントローラは前記外部電源端子から動作電源が供給され、前記セキュリティー  
10 コントローラは前記動作電源を用いて電圧制御したものを動作電源とし、前記セキュリティーコントローラは前記インタフェースコントローラからパワーオンリセットが指示されるリセット信号の入力端子を有することを特徴とするマルチファンクションカードデバイス。

49. 配線基板、配線基板に実装された半導体チップ、及び半導体チップに接続されたアンテナを有する半導体カードデバイスであって、  
15 半導体チップは前記アンテナを利用して非接触インタフェース可能にされ、

- 前記配線基板は回路の接地電位が印加されるグランドパターンとして複数個に分割され且つ閉路を形成せずに接続された分割グランドパターンを有することを特徴とする半導体カードデバイス。

- 20 50. 配線基板、配線基板に実装された半導体チップ、及び半導体チップに接続されたアンテナを有する半導体カードデバイスであって、

- 前記アンテナは半導体チップの外側領域に配置され、半導体チップはフェライトプレート上にスタックされていることを特徴とする半導体カードデバイス。

- 25 51. 前記フェライトプレートは、フェライトチップ、塗布されたフェライトペースト、又は貼りつけられたフェライトフィルムであることを



特徴とする請求の範囲第50項記載の半導体カードデバイス。

52. 配線基板、配線基板に実装された半導体チップ、及び半導体チップに接続されたアンテナを有する半導体カードデバイスであって、

5 前記アンテナの中央部にフェライトプレートを設置したことを特徴とする半導体カードデバイス。

53. 半導体チップはアンテナの側方に配置され金属キャップ又はフェライトキャップで覆われていることを特徴とする請求の範囲第52項記載の半導体カードデバイス。

10 54. 前記アンテナは配線基板に形成されたコイルパターン又は配線基板上に配置された巻線コイルであることを特徴とする請求の範囲50項又は52項記載の半導体カードデバイス。

55. アンテナの接続端子間に外付けした同調用コンデンサを有することを特徴とする請求の範囲第50項又は第52項記載の半導体カードデバイス。

15 56. 前記同調用コンデンサは、チップコンデンサ、バリキャップコンデンサ又は不揮発性MOS容量であることを特徴とする請求の範囲第55項記載の半導体カードデバイス。

57. 配線基板、配線基板に実装された半導体チップ、及び半導体チップに接続されたアンテナを有する半導体カードデバイスであって、

20 前記アンテナは誘電体アンテナチップでありフェライトプレートにスタックされていることを特徴とする半導体カードデバイス。

58. 前記半導体チップはフェライトプレート上に誘電体アンテナチップのスタック面とは反対面にスタックされていることを特徴とする請求の範囲第57項記載の半導体カードデバイス。

25 59. 一面に外部接続端子を露出させた配線基板と、配線基板に実装された半導体チップと、半導体チップに接続されたアンテナと、配線基板

の一面を露出させて前記配線基板、半導体チップ及びアンテナを覆うキャップとを有する半導体カードデバイスであって、

前記キャップは、フェライト混入キャップ又は金属キャップであることを特徴とする半導体カードデバイス。

- 5 60. 一面に外部接続端子を露出させた配線基板と、配線基板に実装された半導体チップと、半導体チップに接続されたアンテナと、配線基板の一面を露出させて前記配線基板、半導体チップ及びアンテナを覆うケーシングとを有する半導体カードデバイスであって、

- 10 前記アンテナは半導体チップの外側領域に形成され、半導体チップはフェライトプレート上にスタックされ、

アンテナによる受信面とは反対側に、電磁シールドを設けたことを特徴とする半導体カードデバイス。

- 15 61. 前記電磁シールドは、ケーシングのフェライト混入層、ケーシングの金属混入層、ケーシングに塗布したフェライト混入塗料の塗布面、ケーシングに塗布した金属混入塗料の塗布面、又はケーシングに貼りつけた金属蒸着ラベルであることを特徴とする請求の範囲第60項記載の半導体カードデバイス。

62. 前記ケーシングはキャップ又は樹脂モールドであることを特徴とする請求の範囲第61項記載の半導体カードデバイス。

- 20 63. 配線基板に実装された半導体チップがパッケージに封止された半導体カードデバイスであって、前記パッケージの厚さ方向に、ソケットに係止される段差部が少なくとも2箇所形成されていることを特徴とする半導体カードデバイス。

- 25 64. 前記パッケージはモールド・アレイ・パッケージ形態で形成されたパッケージであることを特徴とする請求の範囲第63項記載の半導体カードデバイス。

65. 前記2個所の段差部は非対象であることを特徴とする請求の範囲第63項記載の半導体カードデバイス。

5 66. 前記パッケージの外に露出される外部接続端子はパッケージの中心に対して非線対称であることを特徴とする請求の範囲第63項記載の半導体カードデバイス。

67. 前記パッケージの外に露出される外部接続端子は複数列に並列され、前記複数列はパッケージの段差部に対して偏りを有していることを特徴とする請求の範囲第66項記載の半導体カードデバイス。

10 68. 前記パッケージの外に露出される外部接続端子は複数列に並列され、前記複数列は並列方向に対して相互に偏りを有していることを特徴とする請求の範囲第66項記載の半導体カードデバイス。

69. 配線基板上に積層された複数の半導体チップを有する半導体カードデバイスであって、

15 複数の半導体チップは表面積が小さいほど薄く形成され、薄い半導体チップほど上層に配置されていることを特徴とする半導体カードデバイス。

20 70. 半導体チップがパッケージに封止された半導体カードデバイスであって、前記パッケージの外に露出される複数の第1外部端子と、前記複数の第1外部端子に夫々接続され且つ前記第1外部端子よりもピッチと表面積の大きな複数のテスト端子とを有することを特徴とする半導体カードデバイス。

71. 前記複数の第1外部端子は離間して複数列に配置され、複数列の間に前記複数の第2外部端子が配置されることを特徴とする請求の範囲第70項記載の半導体カードデバイス。

25 72. 回路の動作電源を選択的に遮断可能なパワースイッチ回路を有する半導体集積回路であって、

前記パワースイッチ回路は、動作電源の伝達経路に介在され電氣的に  
閾値電圧が変更可能にされた不揮発性記憶素子と、前記不揮発性記憶素  
子の選択端子から見た閾値電圧を第 1 状態として前記伝達経路を遮断  
し、その閾値電圧を第 2 状態として前記伝達経路を導通させる制御回路  
5 を有し、

前記閾値電圧の第 2 状態において前記選択端子は回路の固定電位に  
接続されることを特徴とする半導体集積回路。

7 3. 前記不揮発性記憶素子を挟んで直列に一对の分離用スイッチが配  
置され、

10 前記分離用スイッチはその選択端子が回路の固定電位に接続される  
ことによってオン状態にされ、

前記制御回路は不揮発性記憶素子の閾値電圧を変更するとき前記分  
離用スイッチをオフ状態に制御することを特徴とする請求の範囲第 7  
2 項記載の半導体集積回路。

15 7 4. 回路間を選択的に遮断可能なスイッチ回路を有する半導体集積回  
路であって、

前記スイッチ回路は、回路間を接続する配線経路に介在され電氣的に  
閾値電圧が変更可能にされた不揮発性記憶素子と、前記不揮発性記憶素  
子の選択端子から見た閾値電圧を第 1 状態として前記配線経路を遮断  
し、その閾値電圧を第 2 状態として前記配線経路を導通させる制御回路  
20 を有し、

前記閾値電圧の第 2 状態において前記選択端子は回路の固定電位に  
接続されることを特徴とする半導体集積回路。

7 5. 前記不揮発性記憶素子を挟んで直列に一对の分離用スイッチが配  
置され、

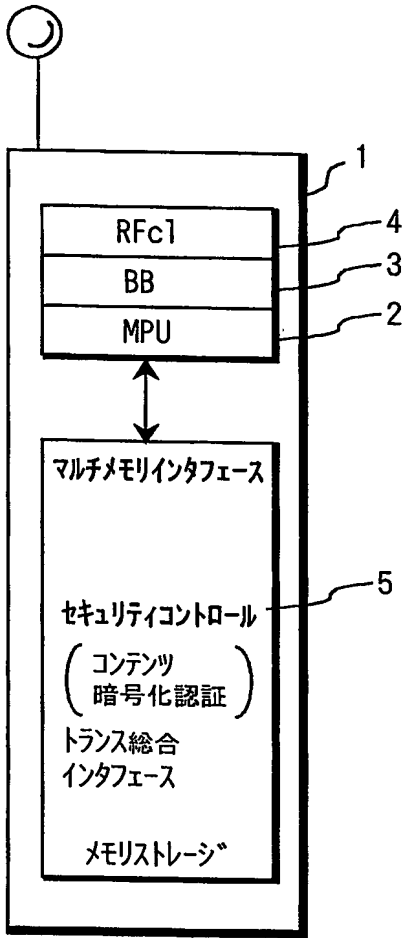
25 前記分離用スイッチはその選択端子が回路の接地電圧に接続される

ことによってオン状態にされ、

前記制御回路は不揮発性記憶素子の閾値電圧を変更するとき前記分離用スイッチをオフ状態に制御することを特徴とする請求の範囲第 7 項記載の半導体集積回路。

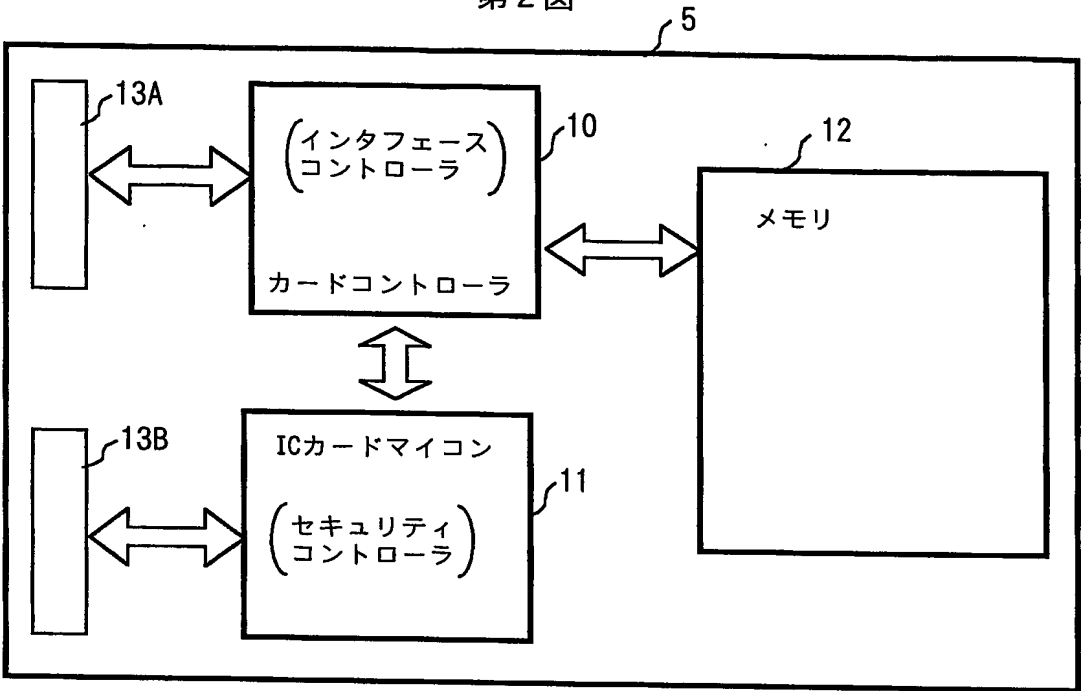
1 / 4 4

第 1 図

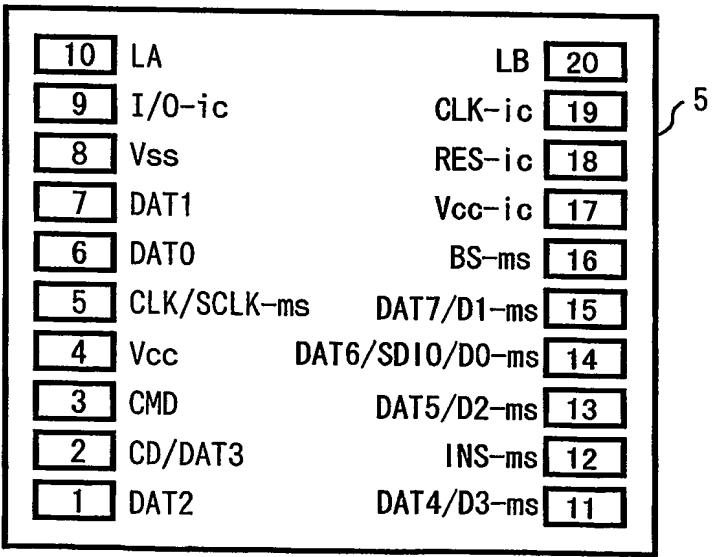


2 / 4 4

第 2 図

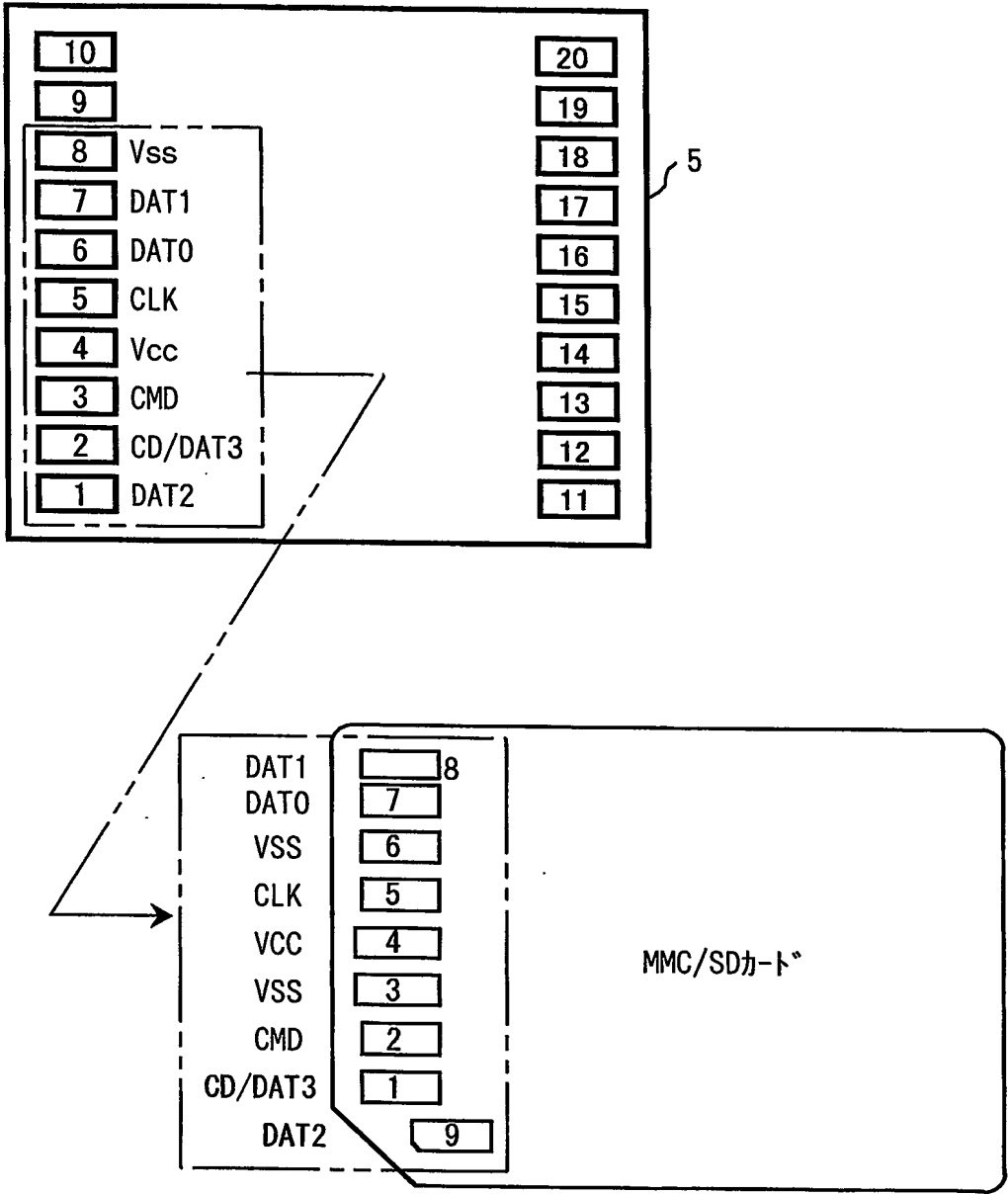


第 3 図



3 / 4 4

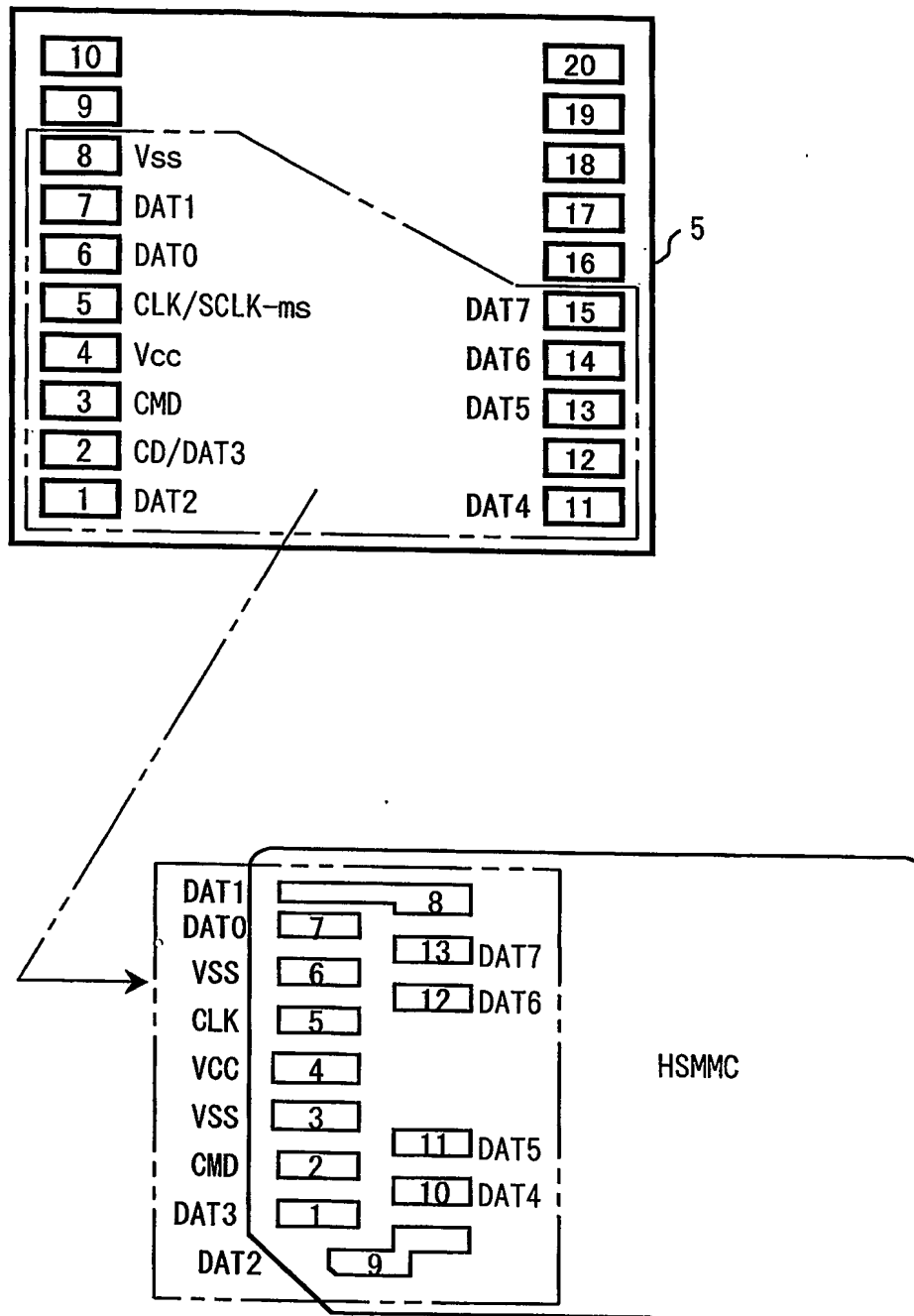
第 4 図



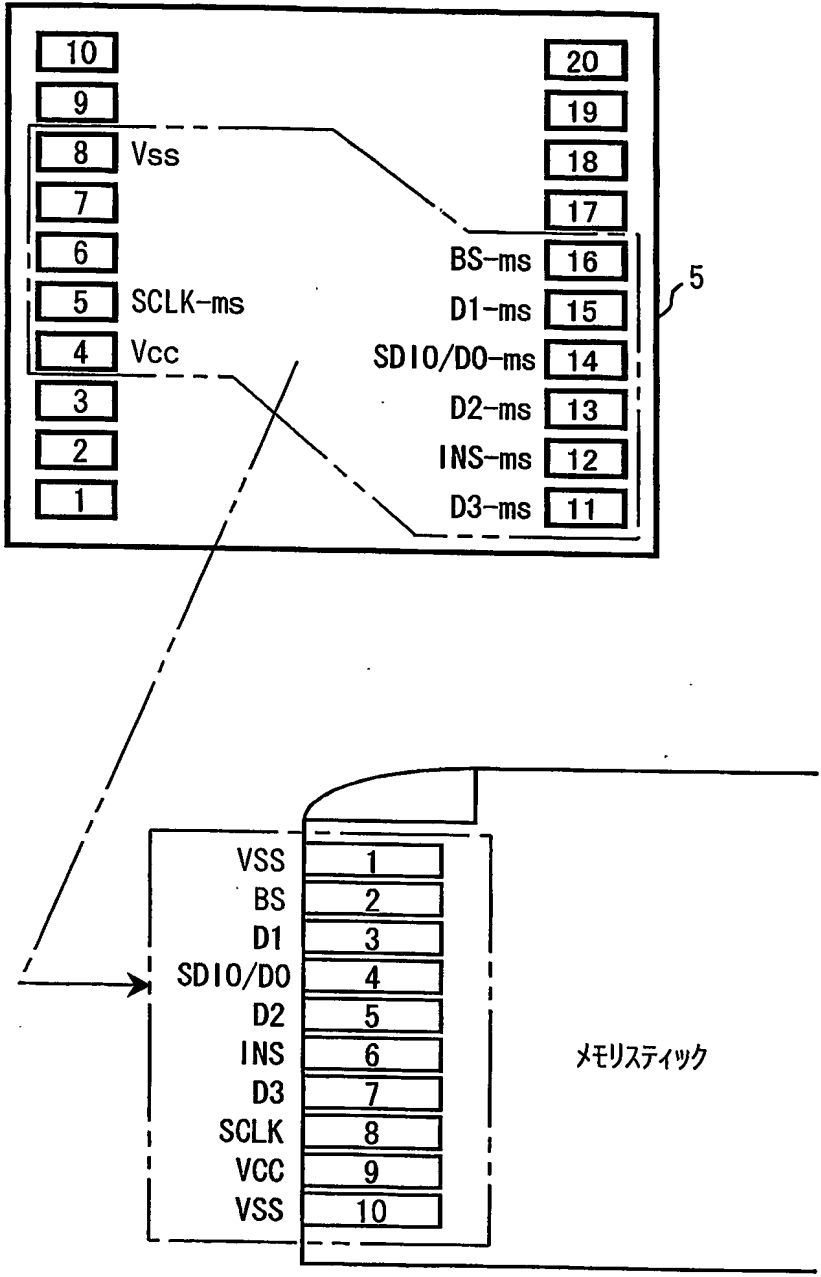


4 / 4 4

第 5 図

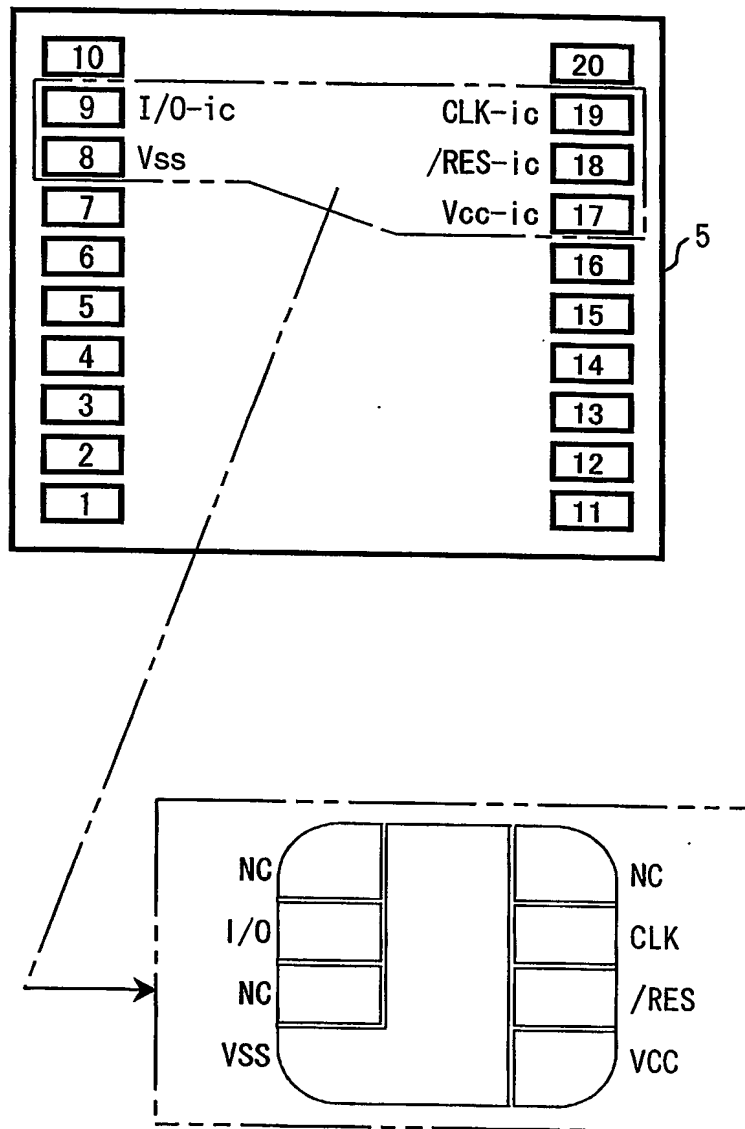


第 6 図



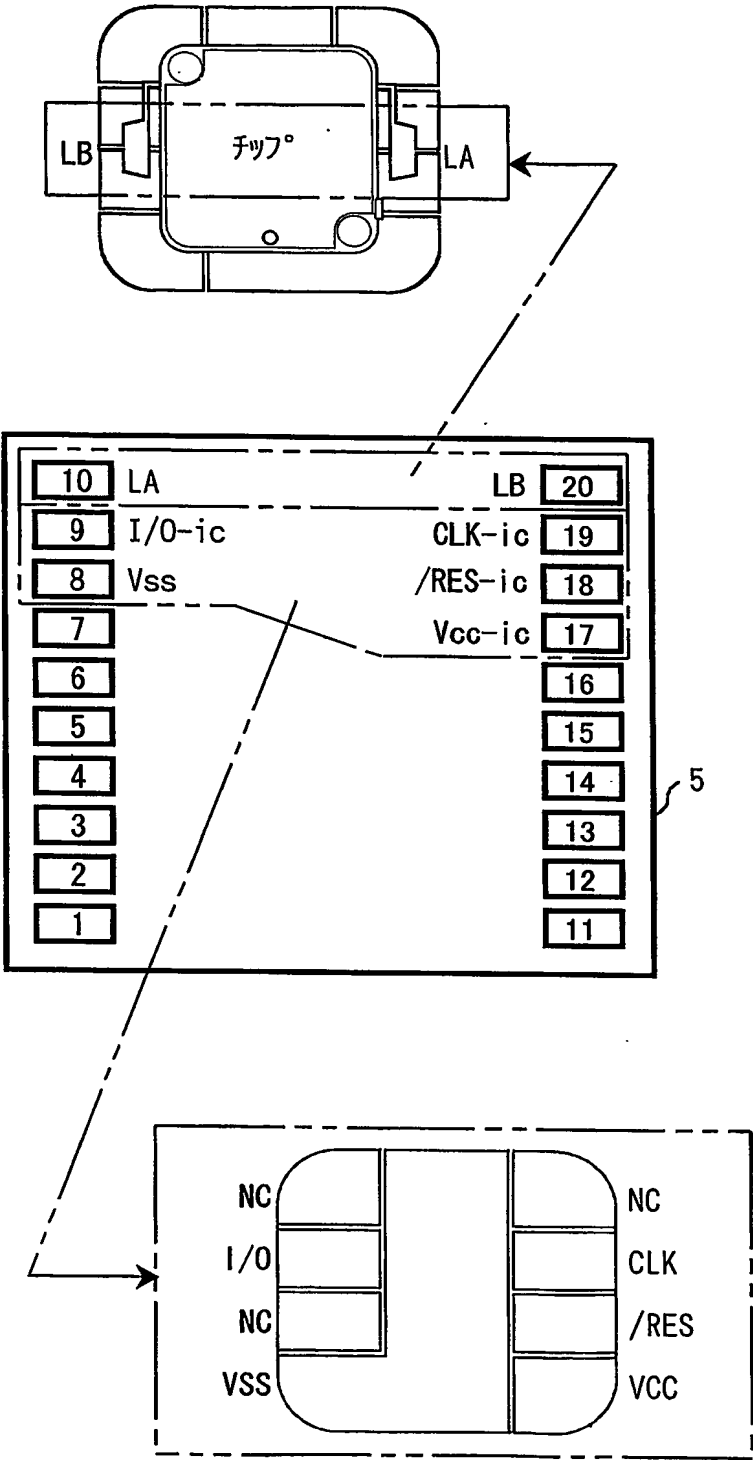
6 / 4 4

第7図



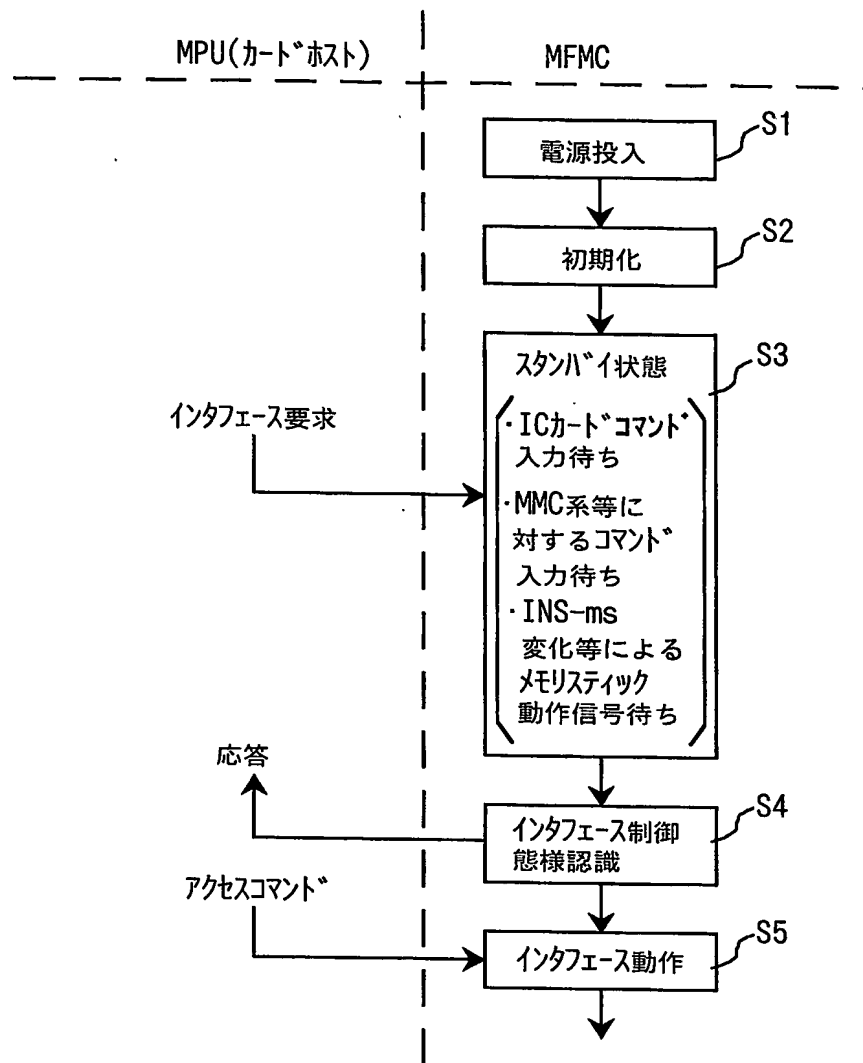
7 / 4 4

第 8 図



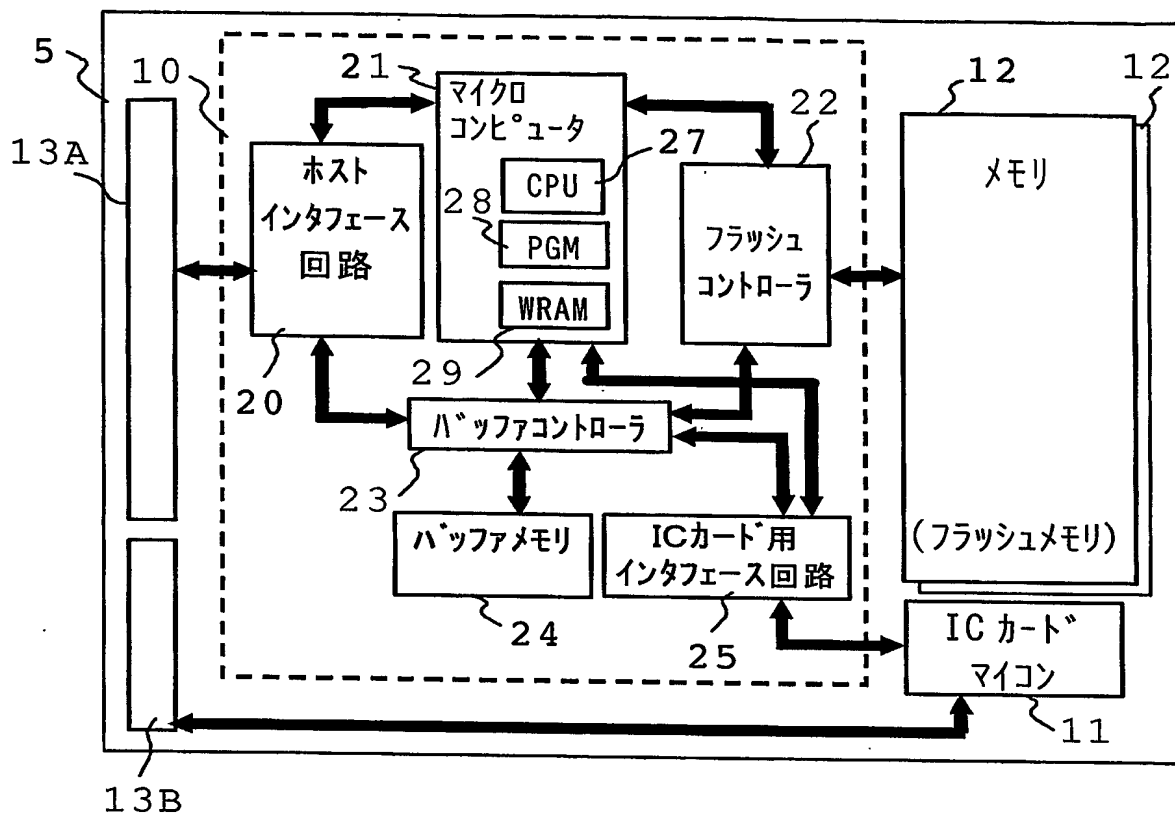
8 / 4 4

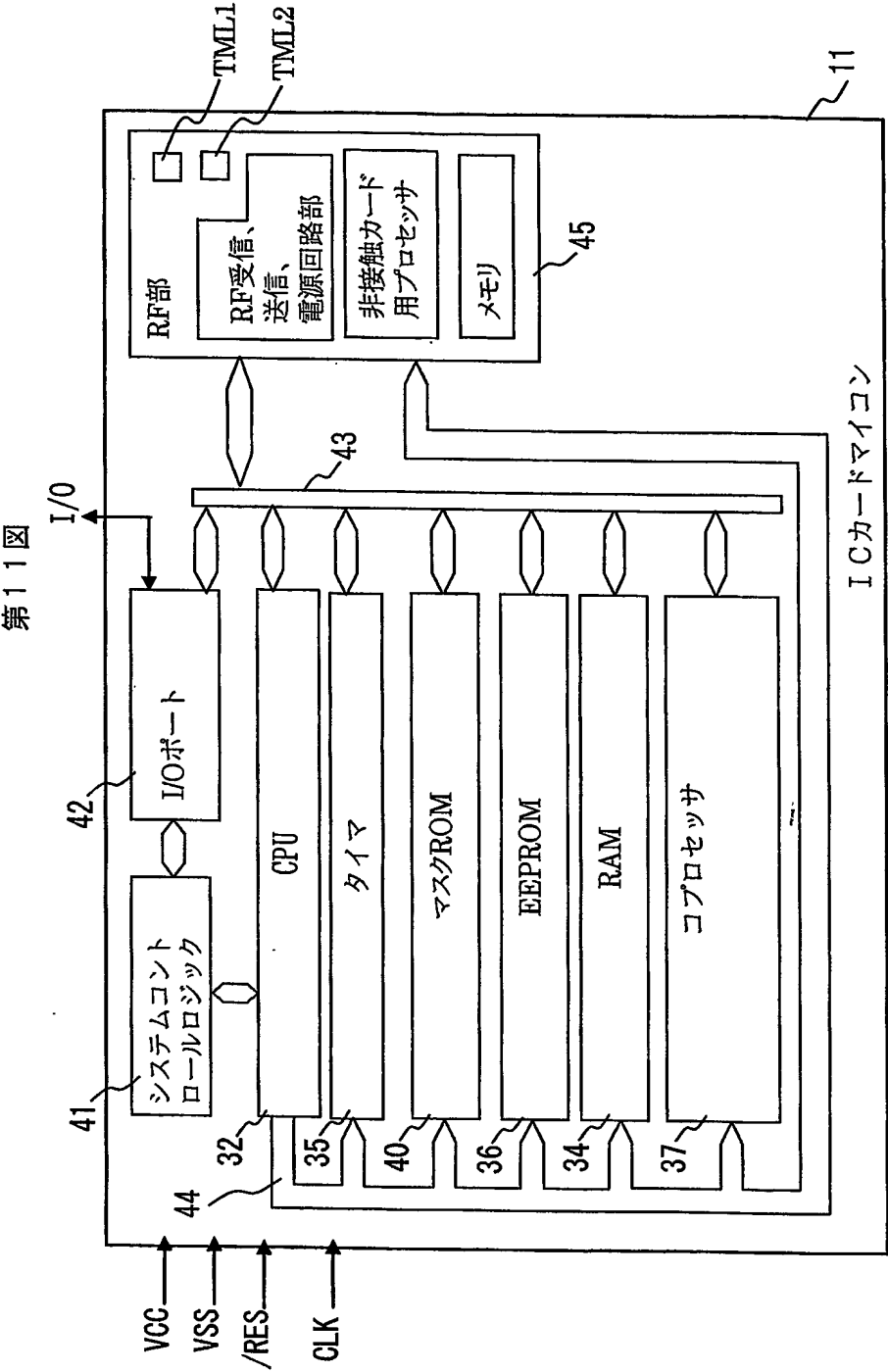
第9図



9 / 44

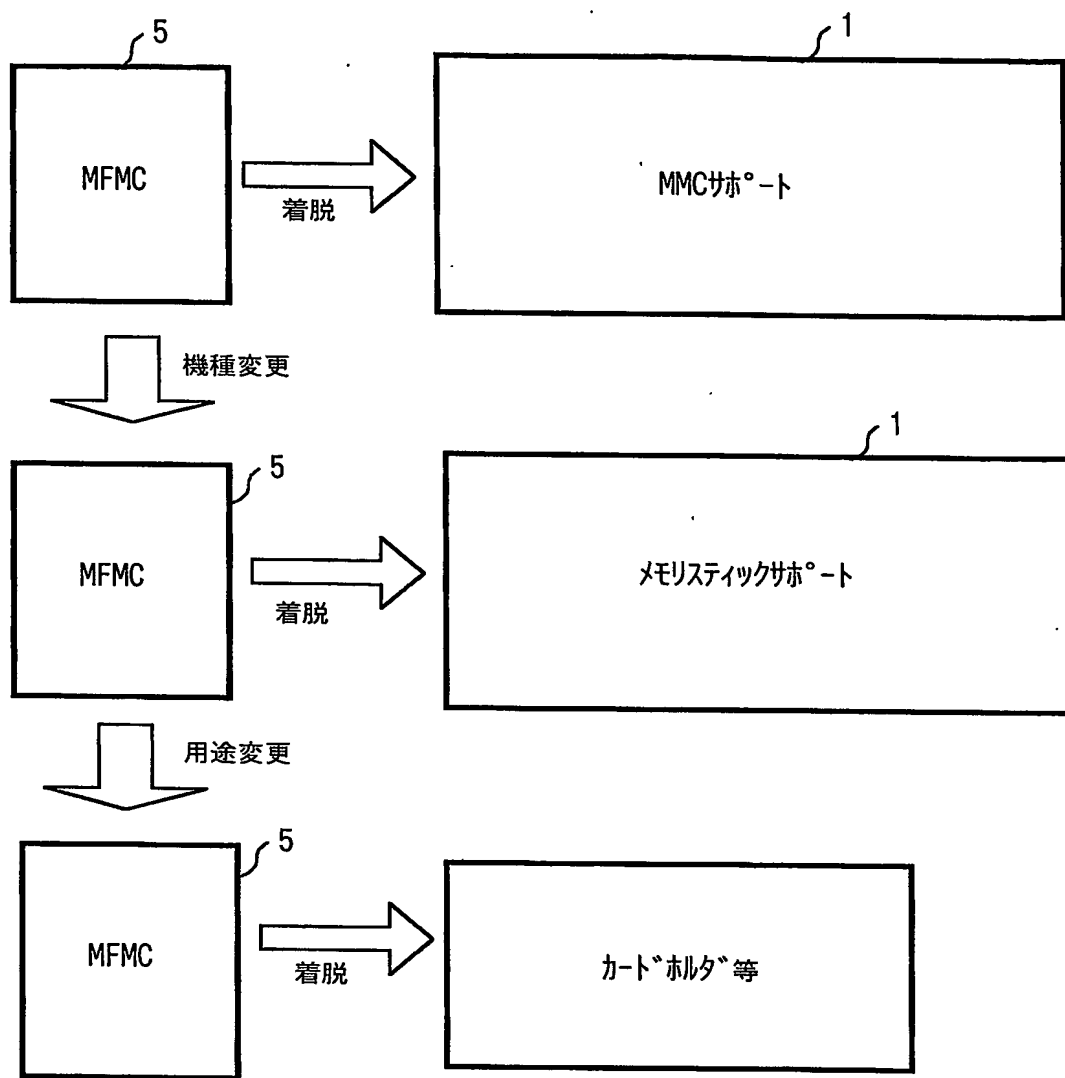
第10図





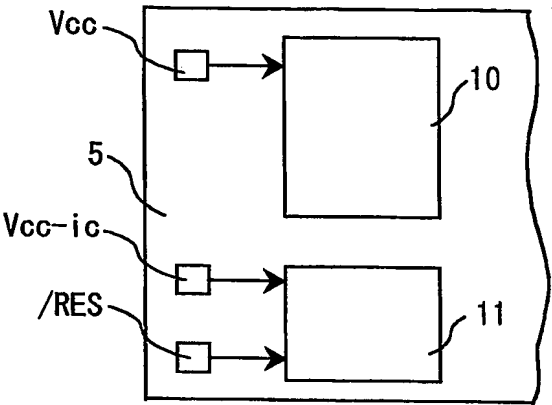
11/44

第12図

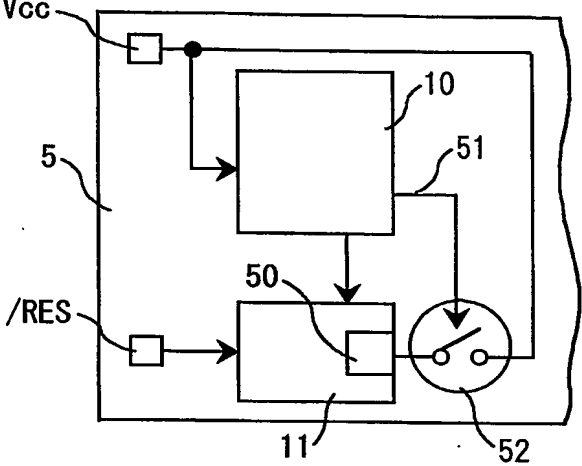




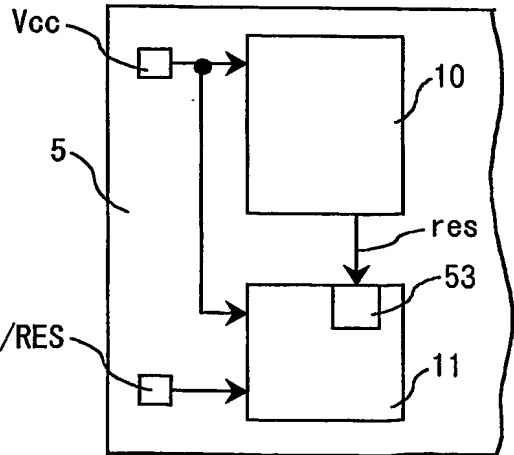
第 1 3 図



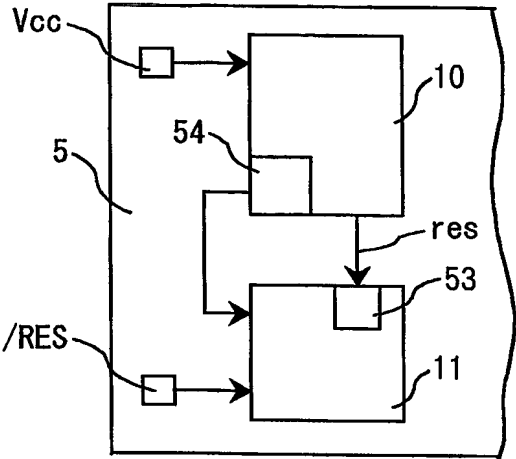
第 1 4 図



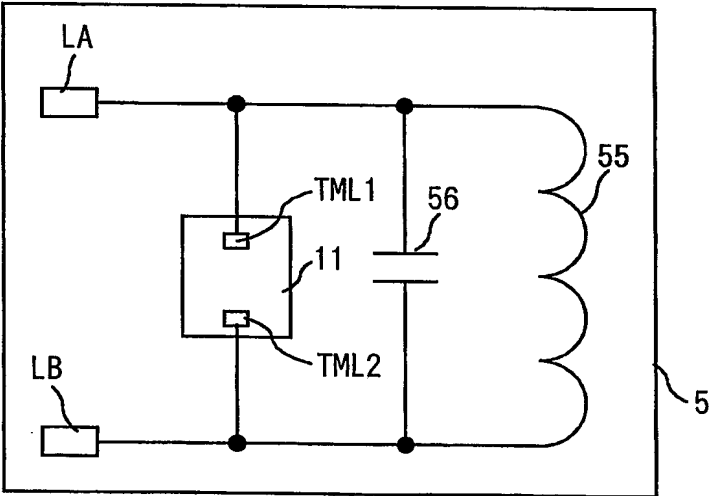
第 1 5 図



第 1 6 図

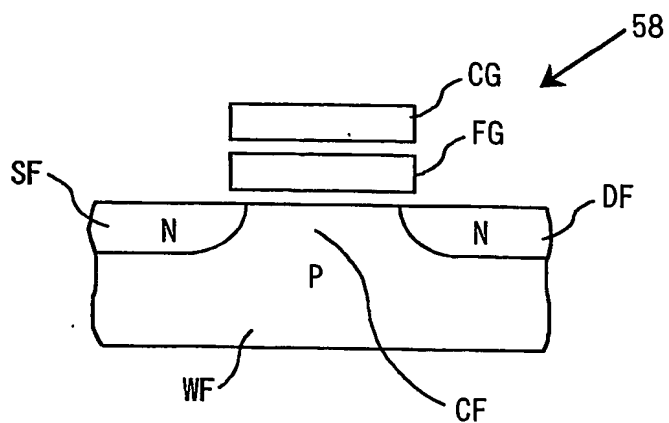


第 1 7 図

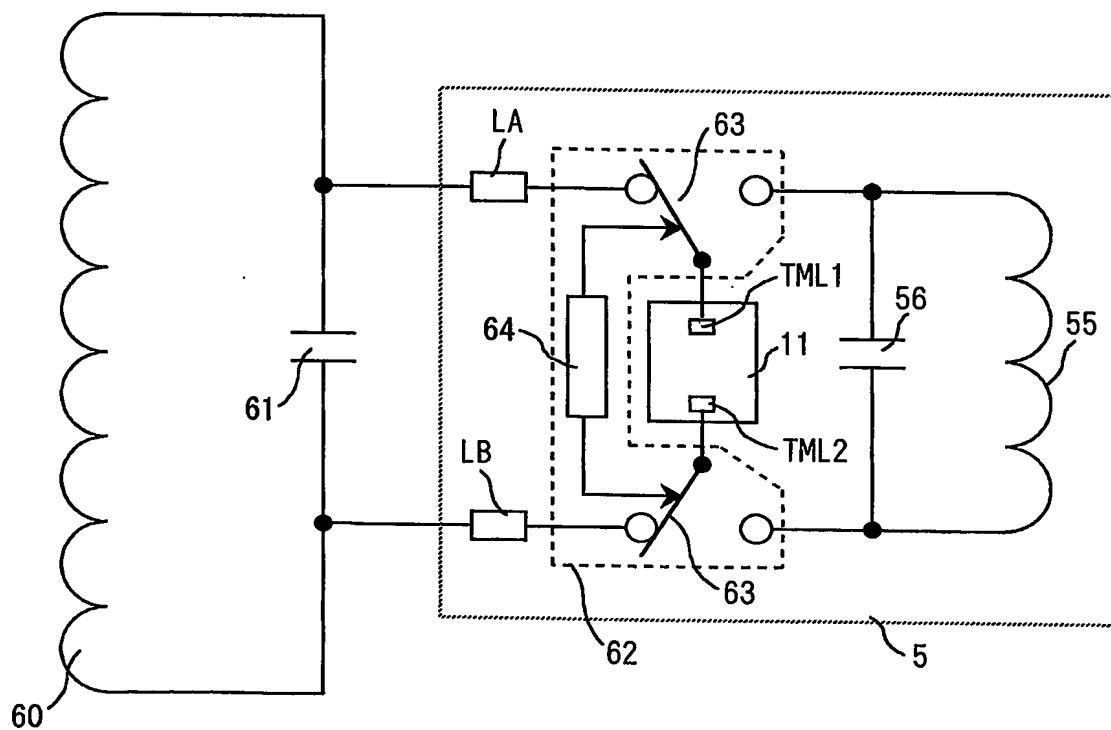


14/44

第18図

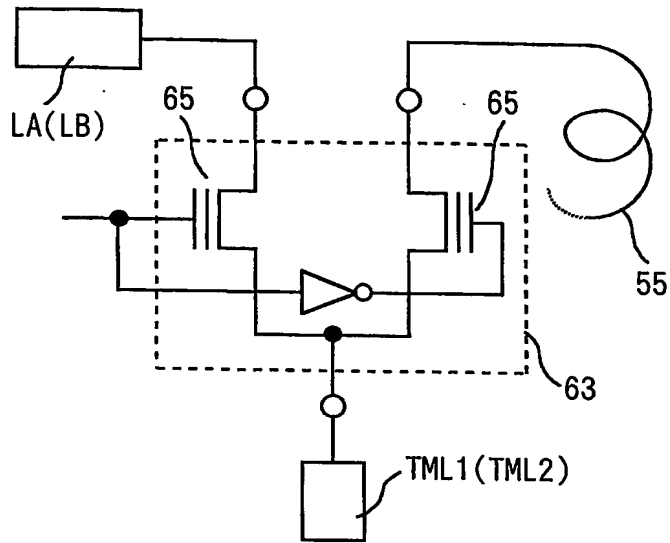


第19図

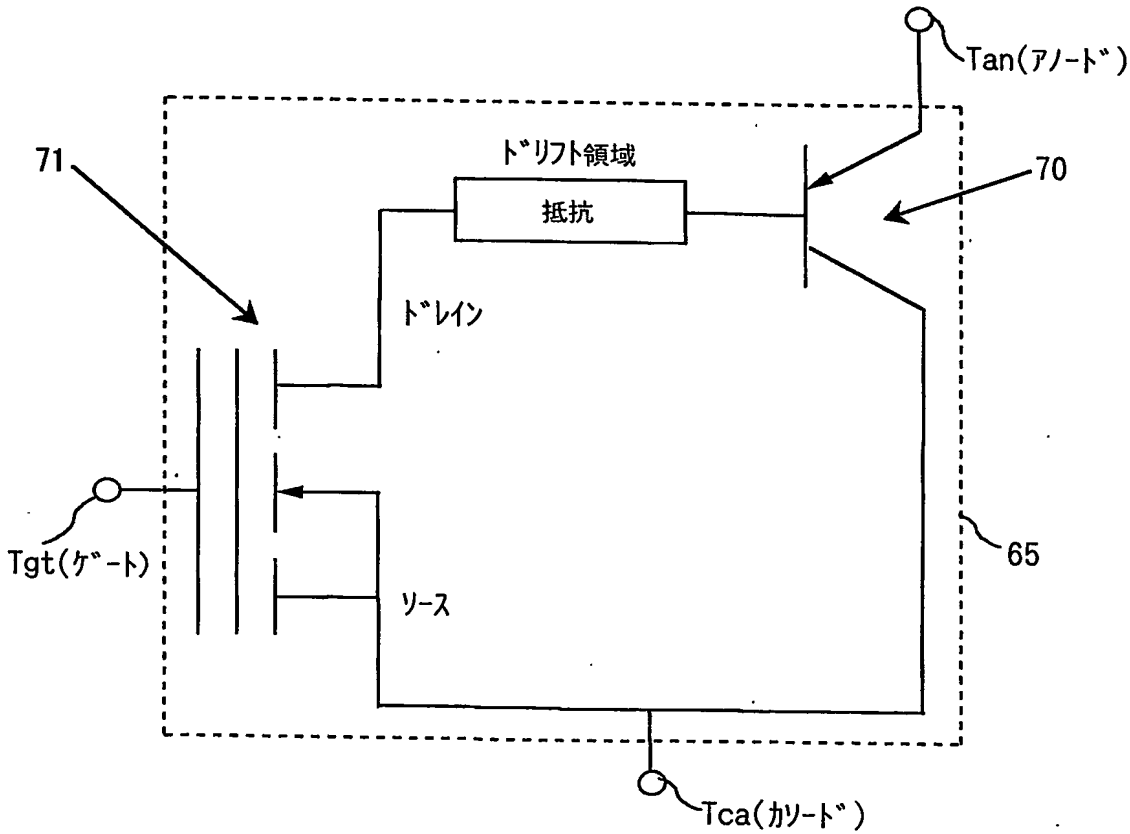


15 / 44

第20図

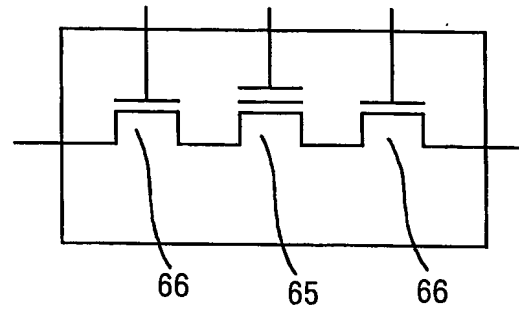


第22図

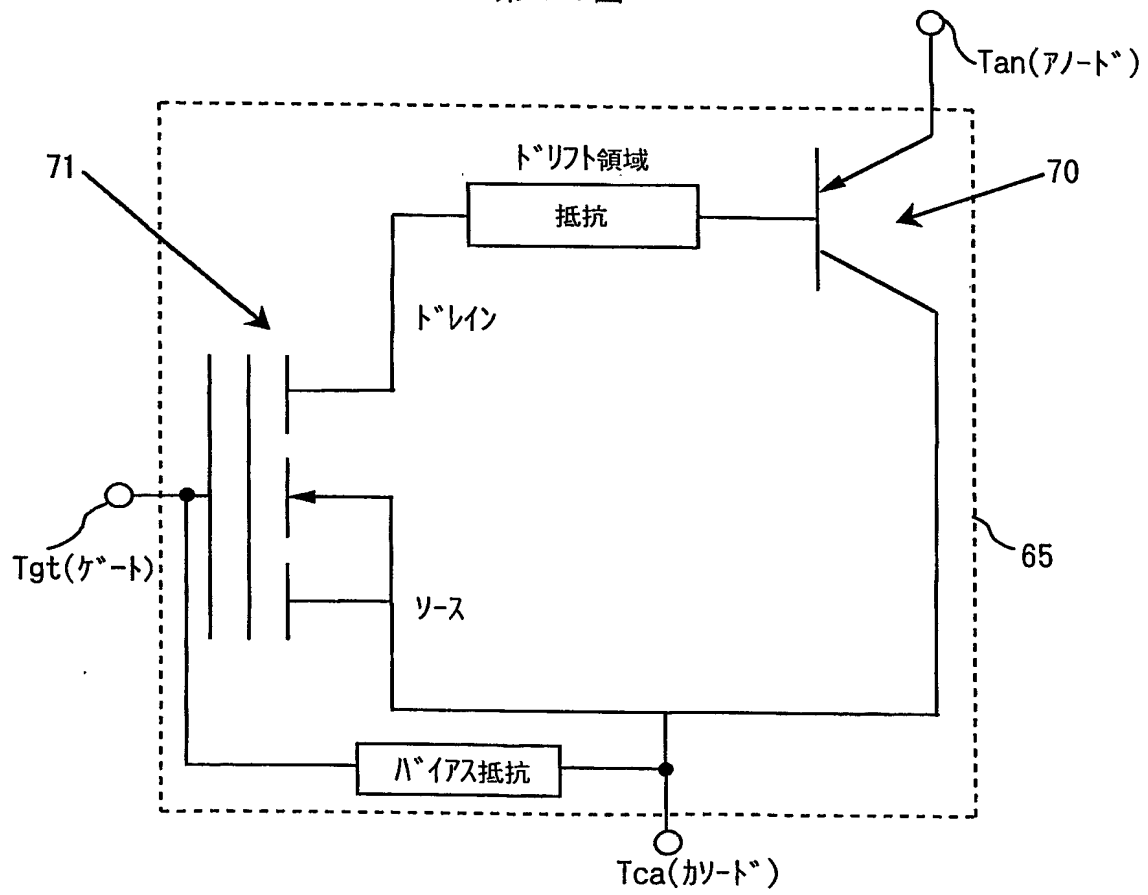


16 / 44

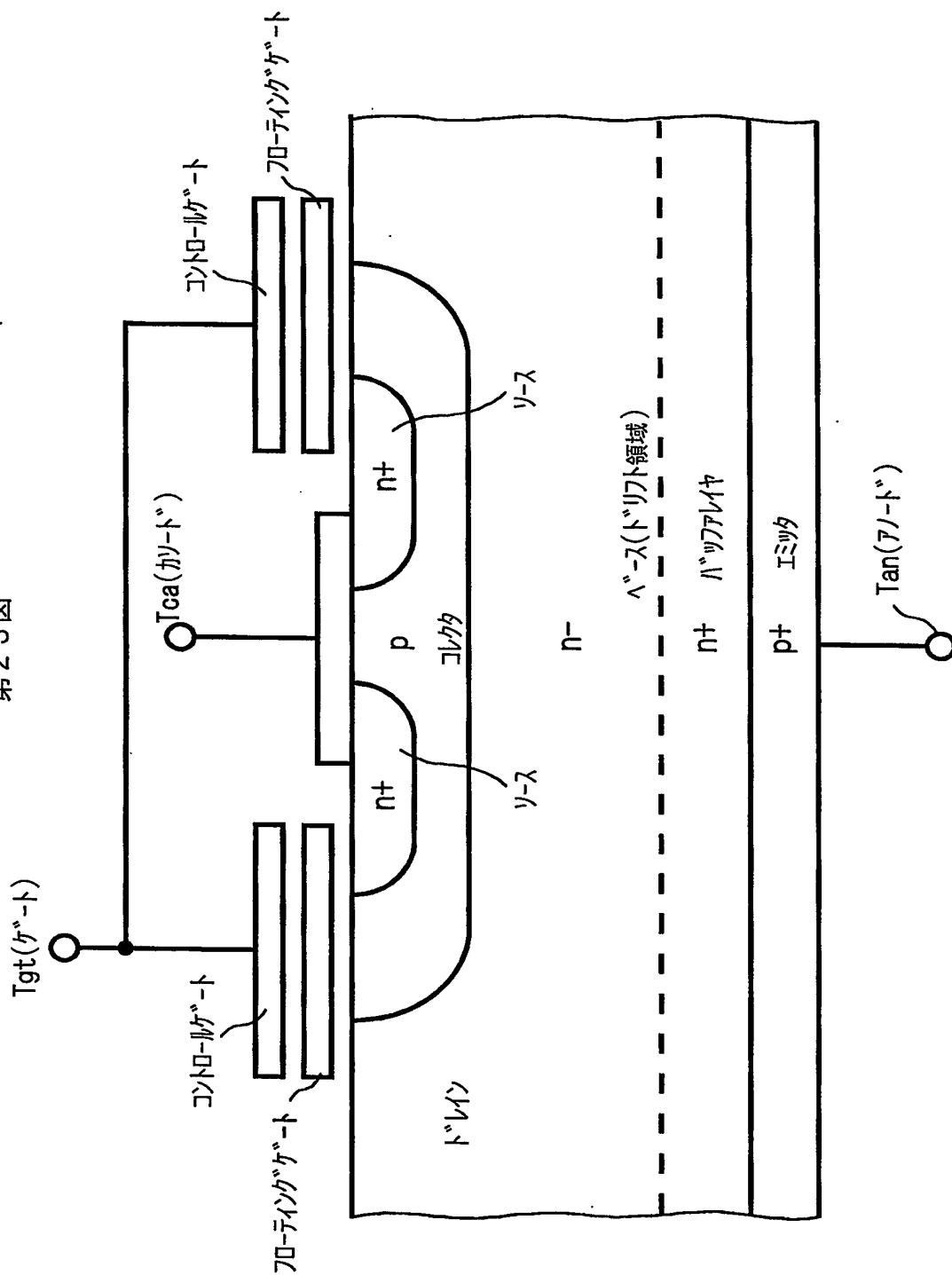
第21図



第24図

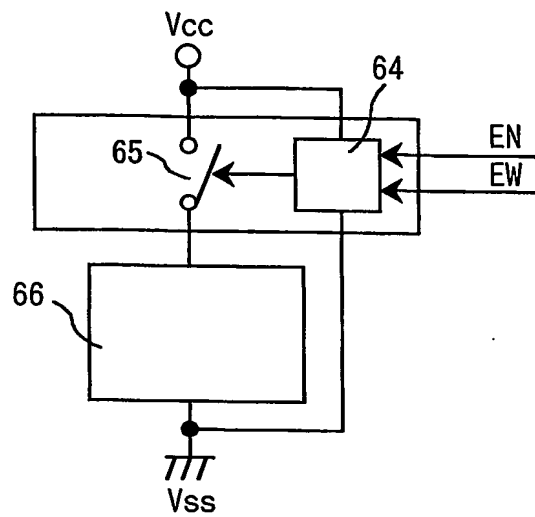


無  
2  
3  
☒

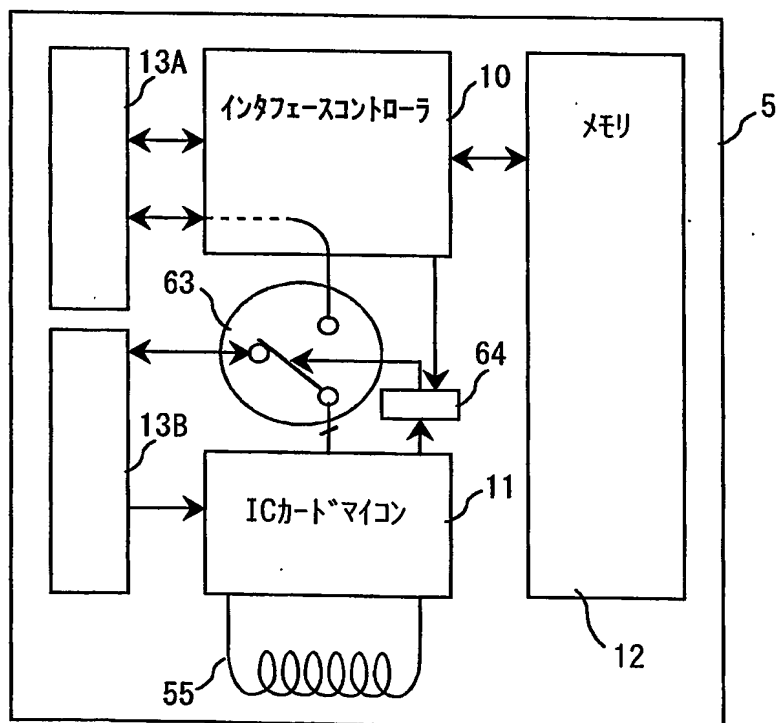


18/44

第25図

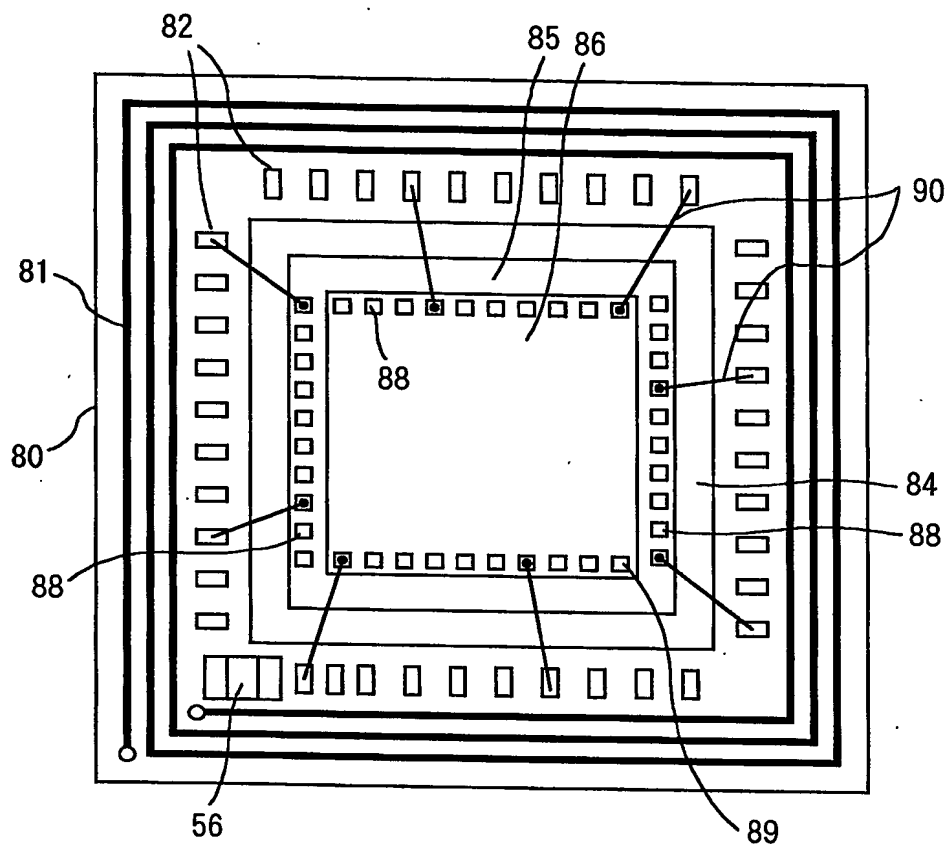


第26図

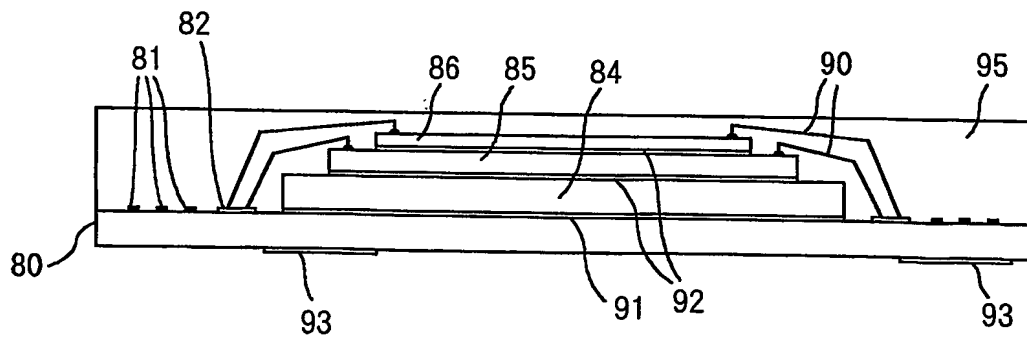


19/44

第27図



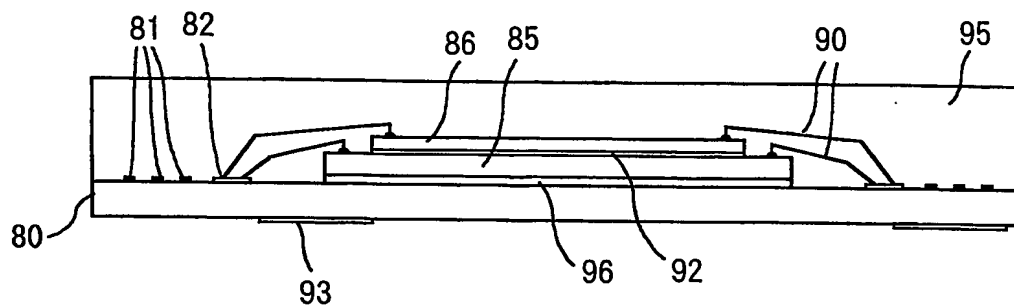
第28図



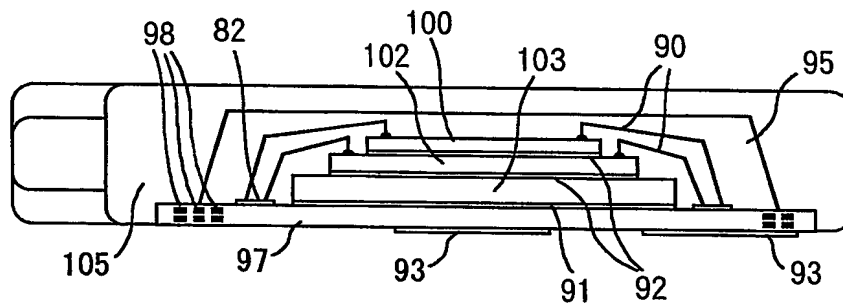


20/44

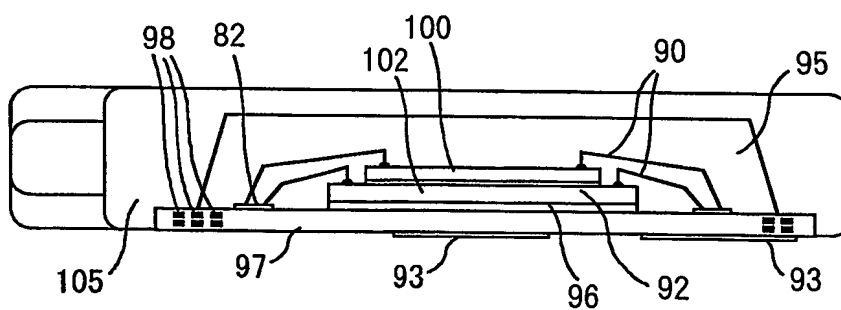
第29図



第31図

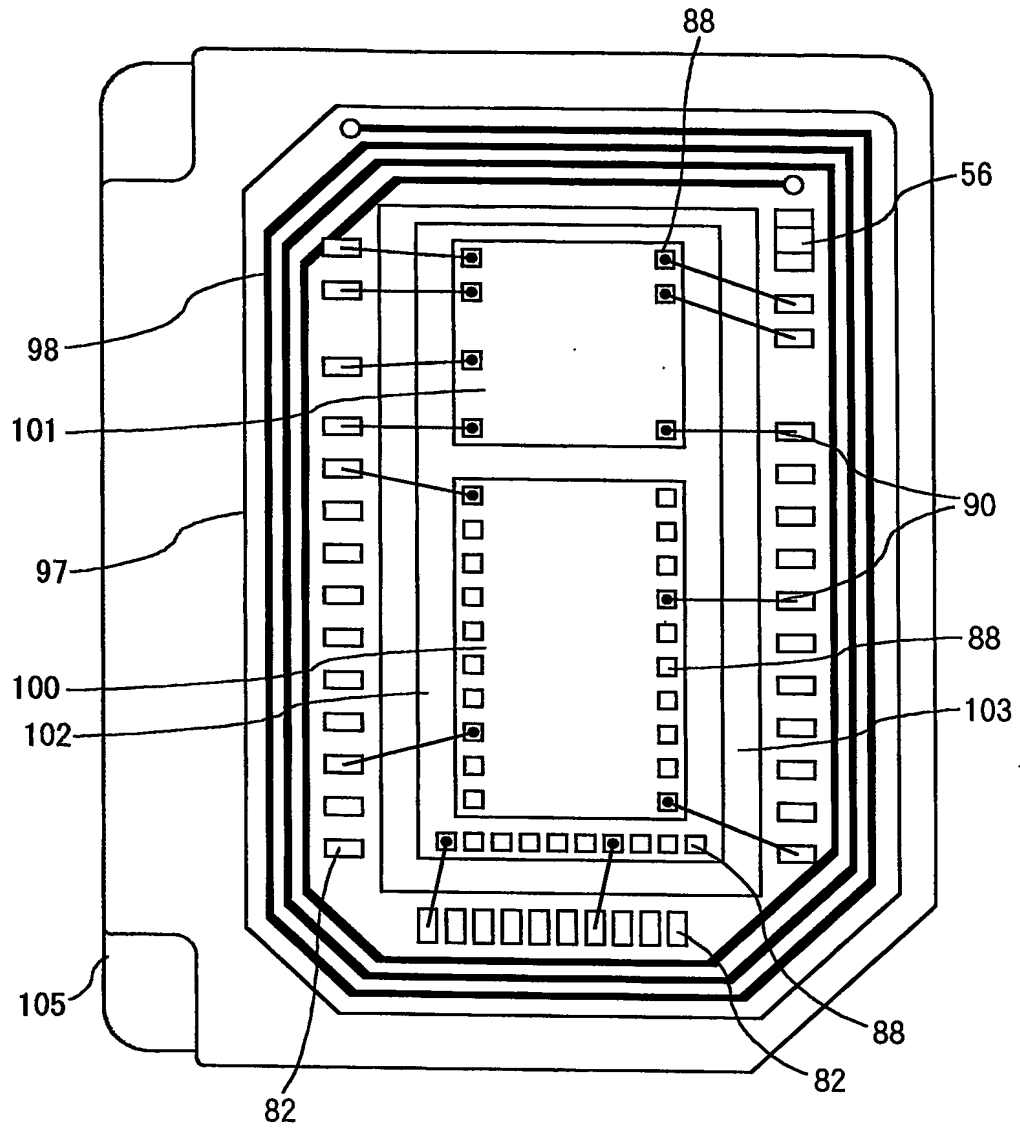


第32図



21 / 44

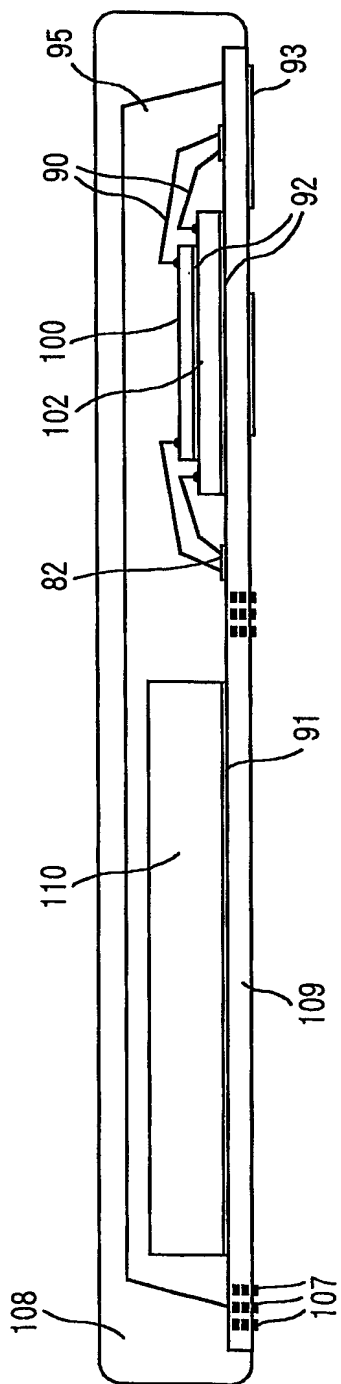
第30図





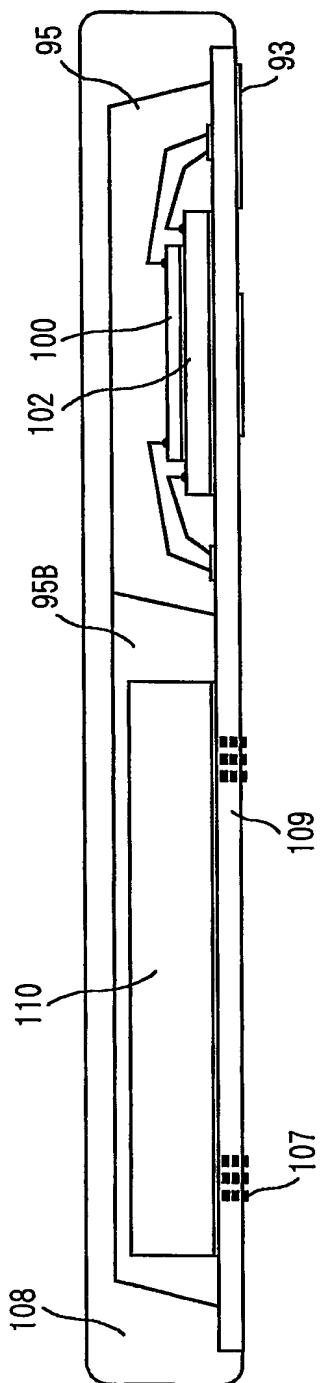
2 3 / 4 4

第 3 4 図

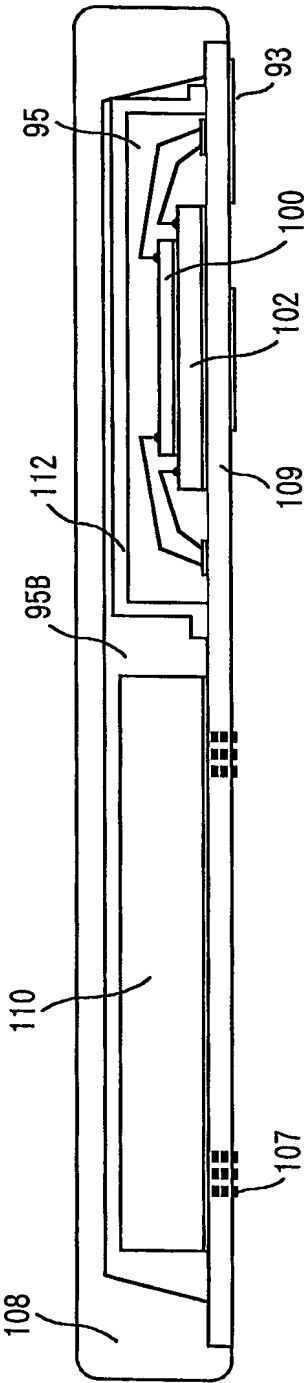


24/44

第35図

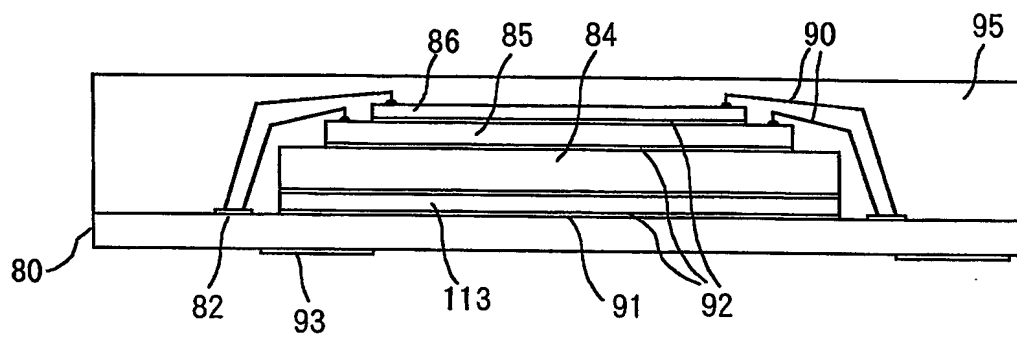


第36図

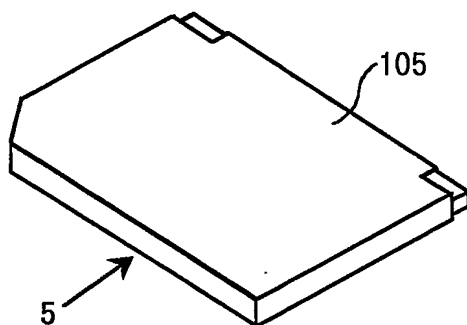


26 / 44

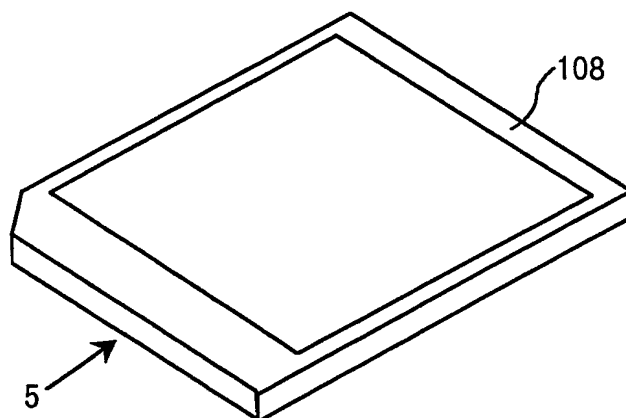
第37図



第38図

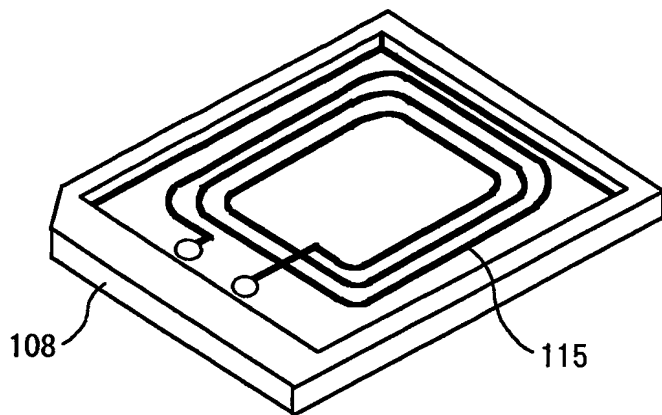


第39図

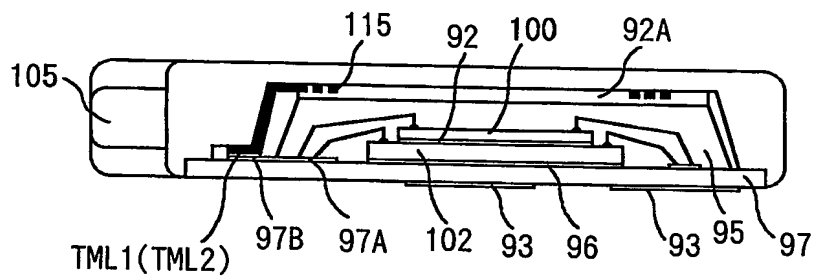


27/44

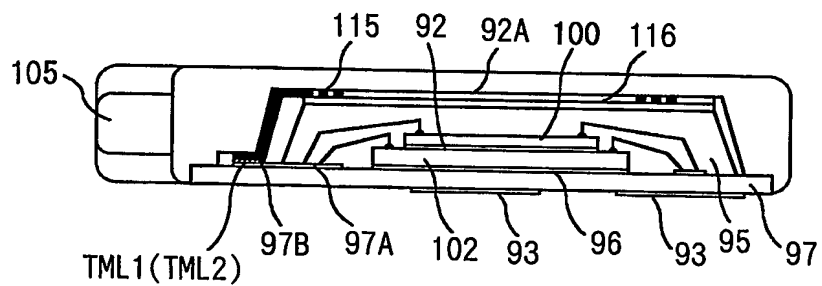
第40図



第41図



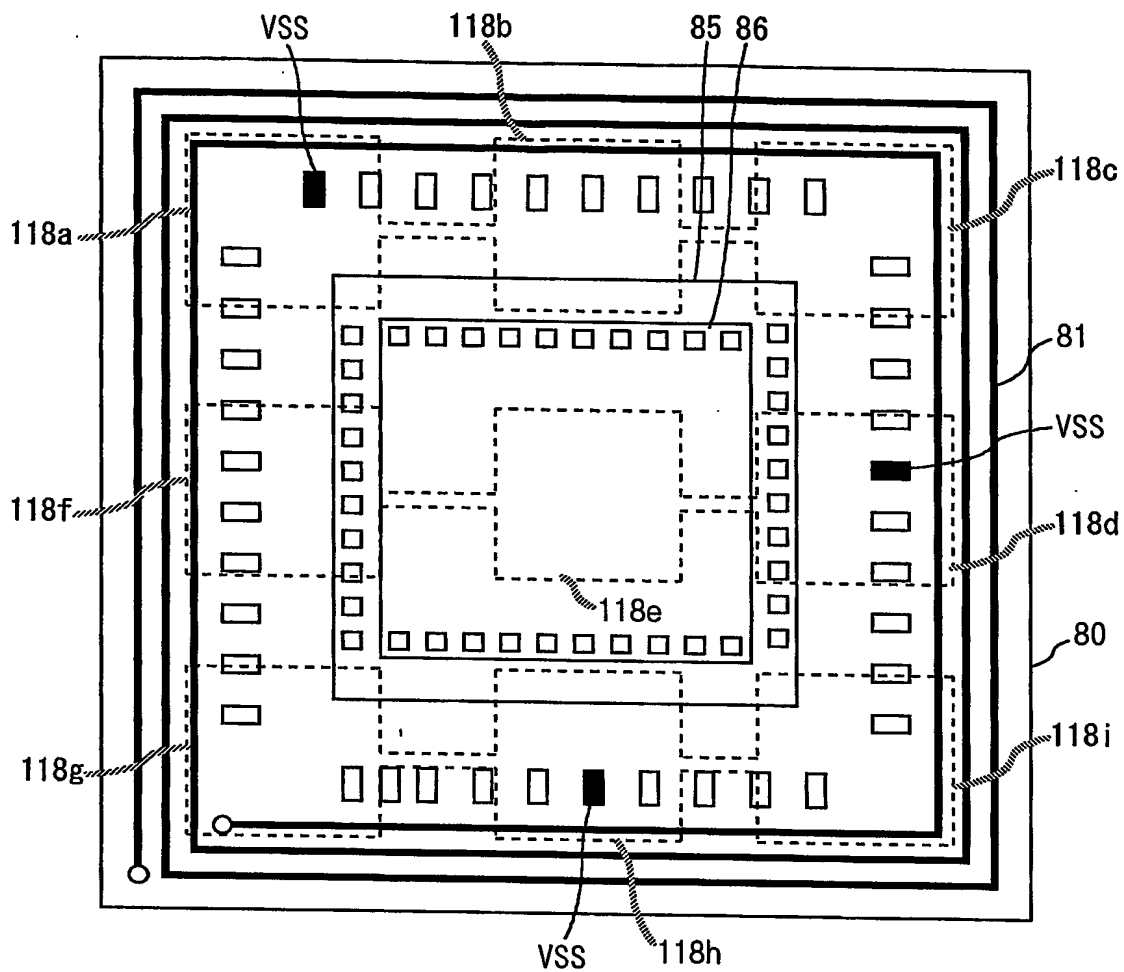
第42図



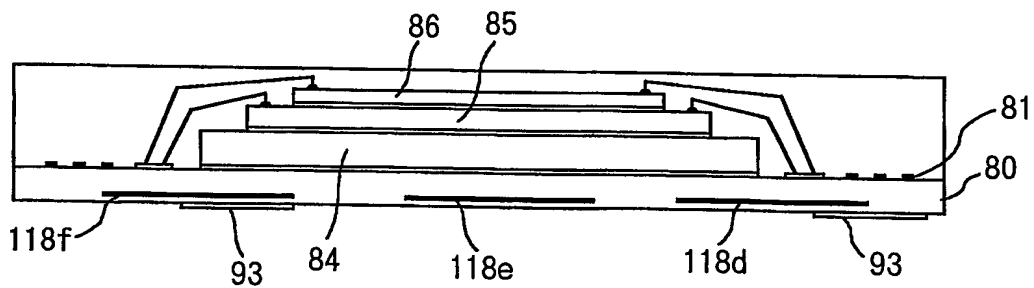


28/44

第43図

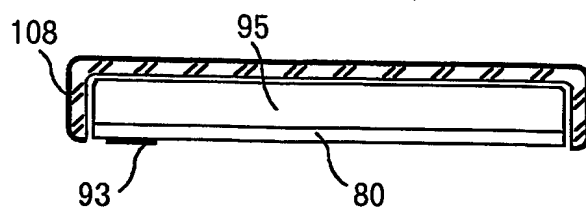


第44図

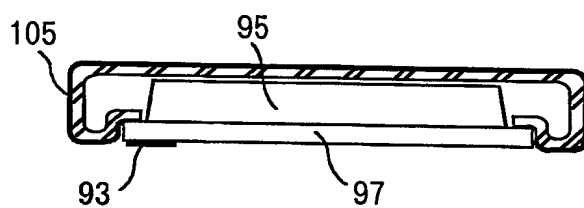


29 / 44

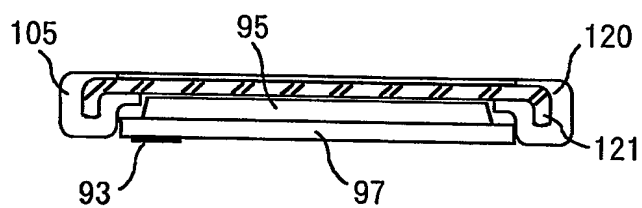
第 4 5 図



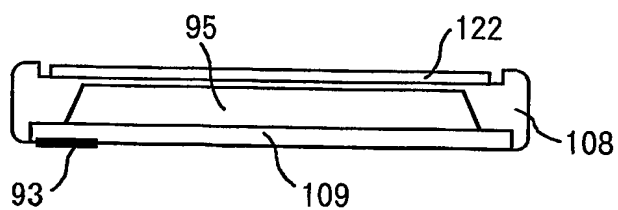
第 4 6 図



第 4 7 図

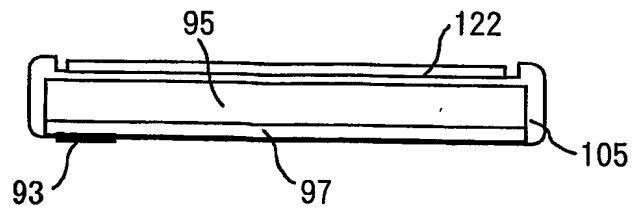


第 4 8 図

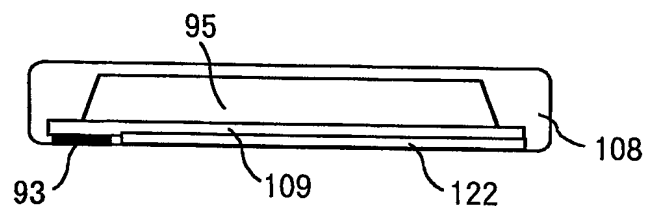


30/44

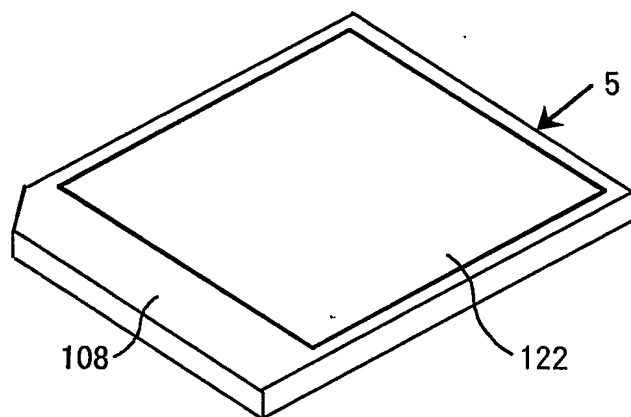
第49図



第50図

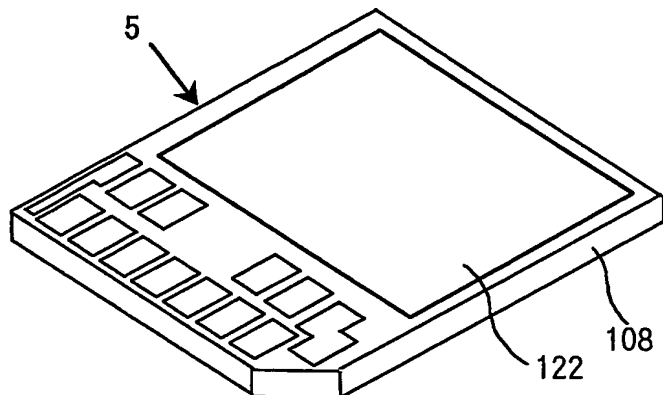


第51図

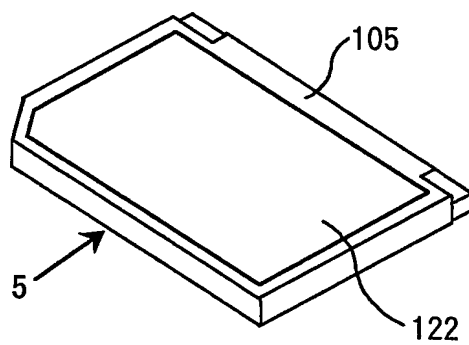


31 / 44

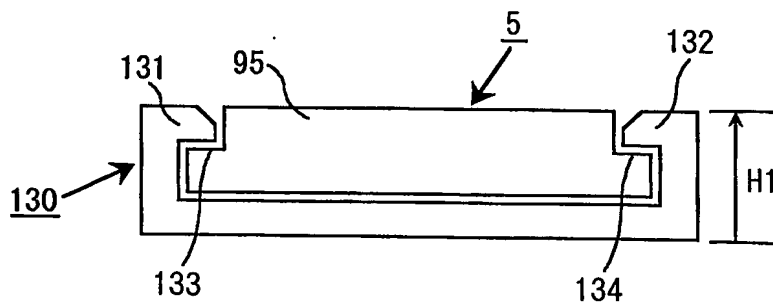
第 5 2 図



第 5 3 図

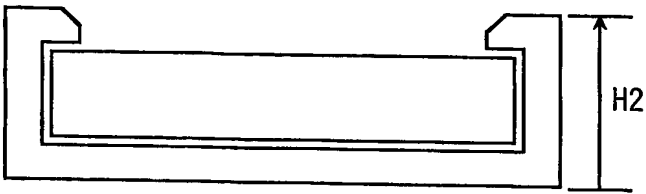


第 5 4 図

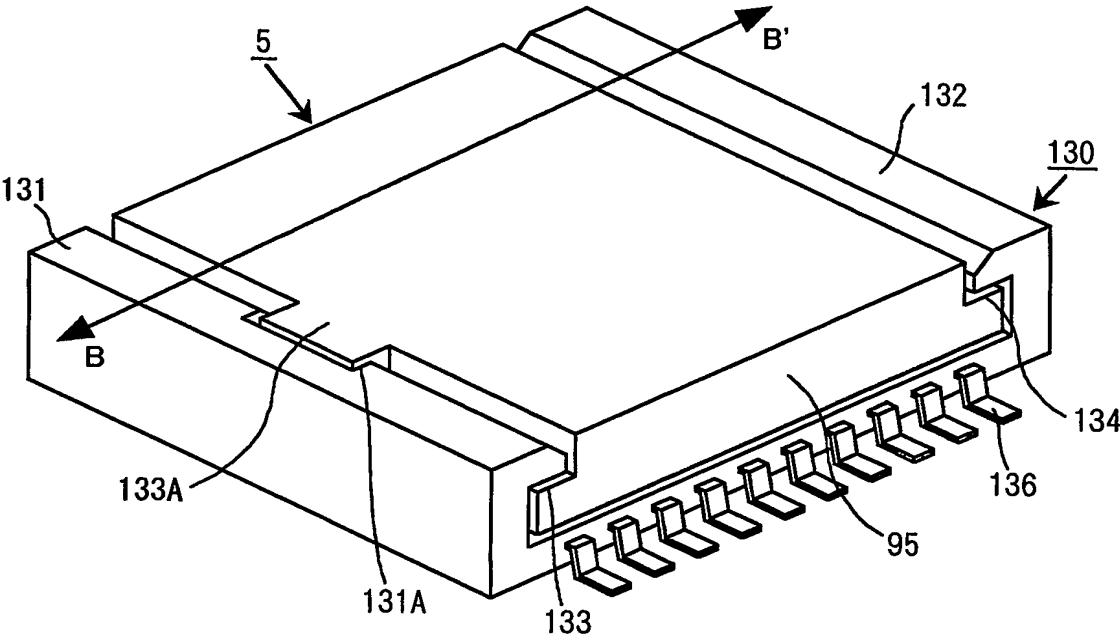


3 2 / 4 4

第 5 5 図

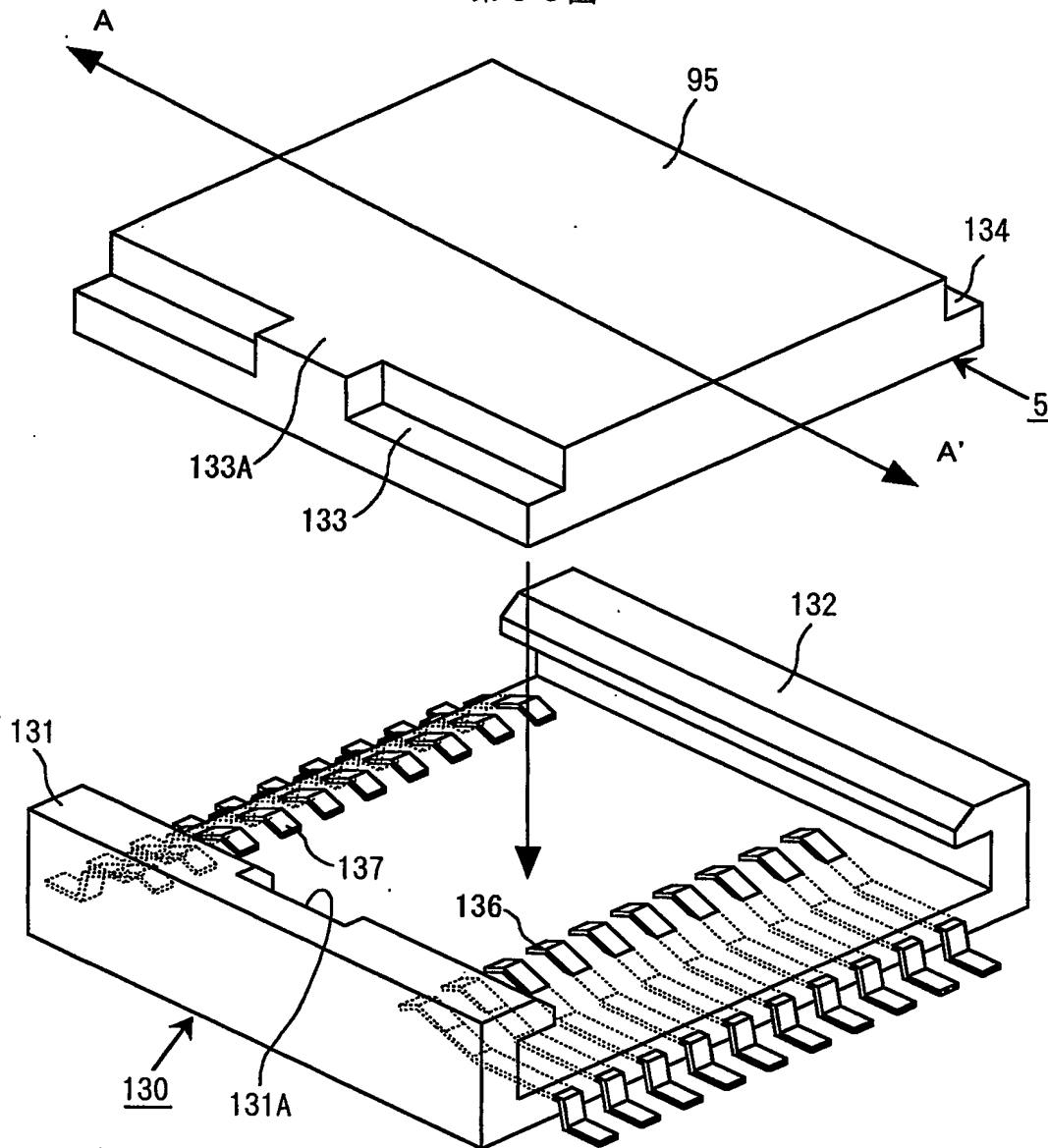


第 5 7 図



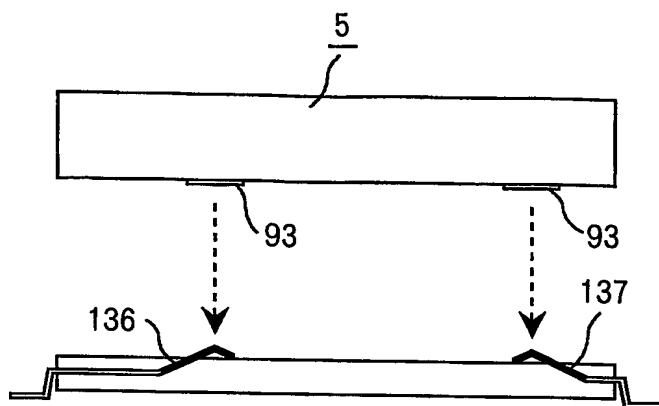
3 3 / 4 4

第56図

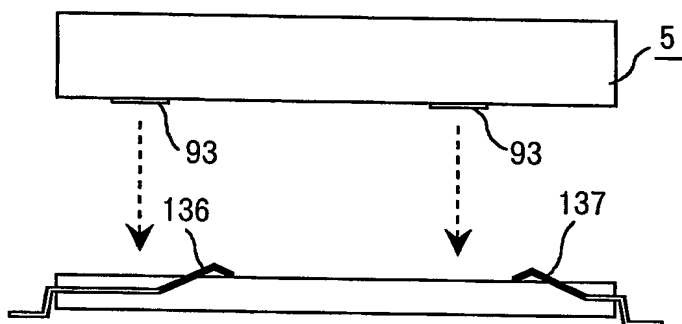


34/44

第58図

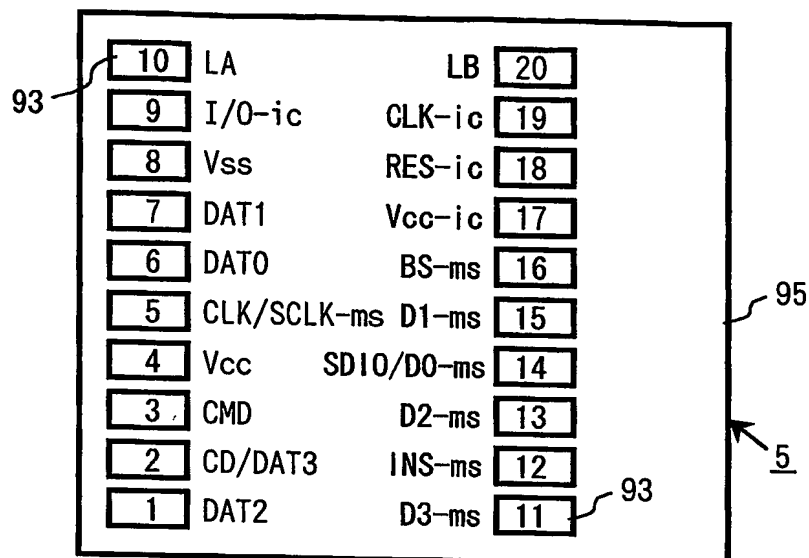


第59図

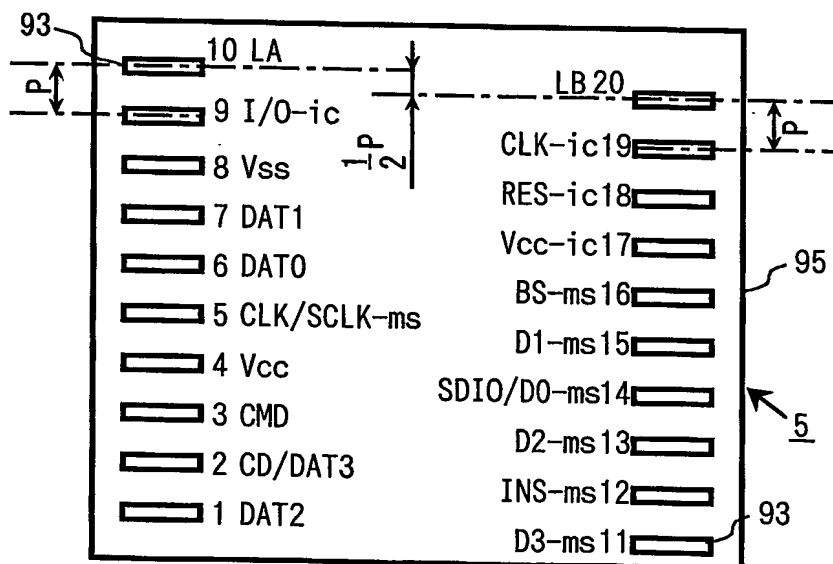


35/44

第60図



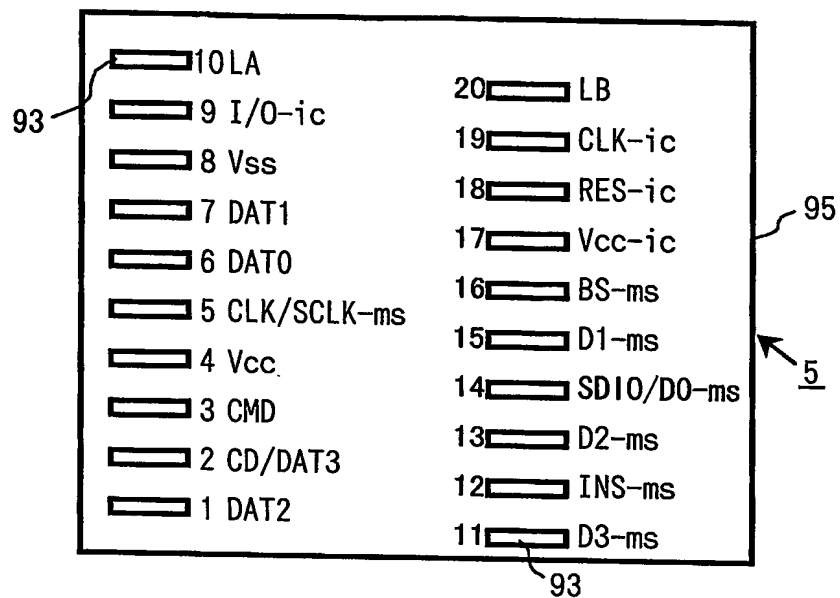
第61図



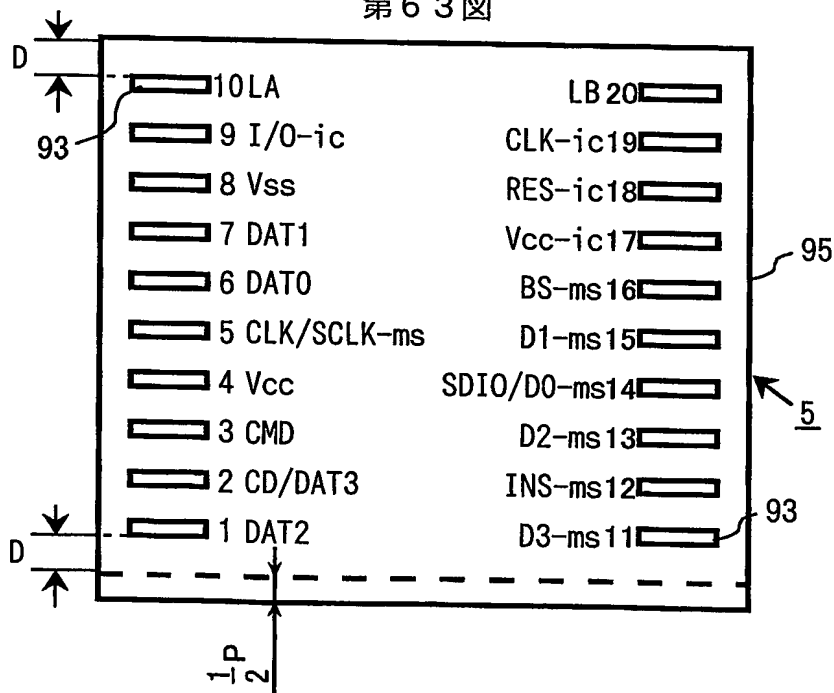


36/44

第62図

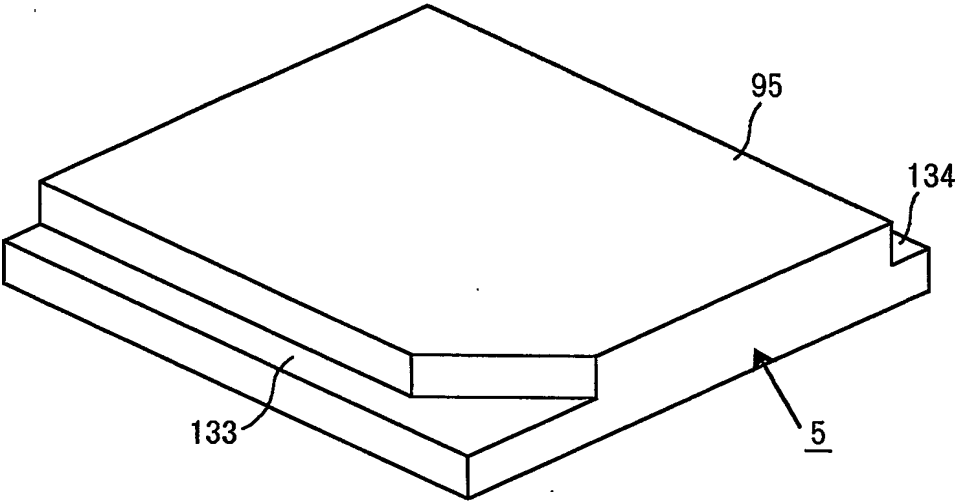


第63図

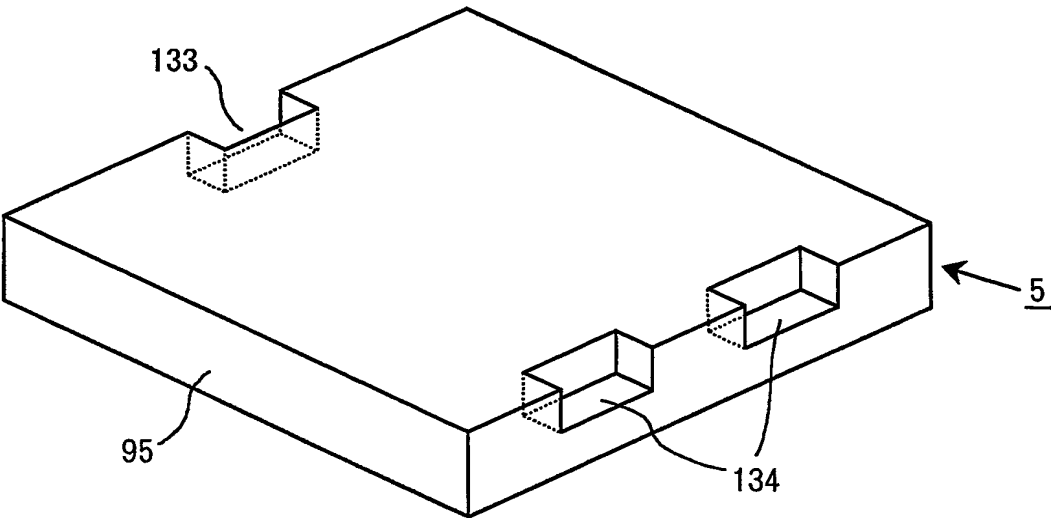


37 / 44

第 6 4 図

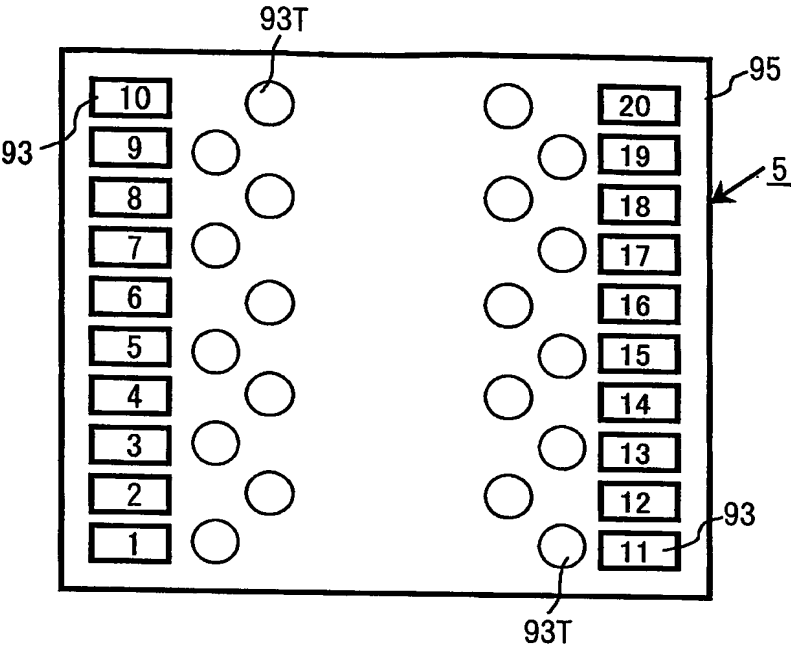


第 6 5 図

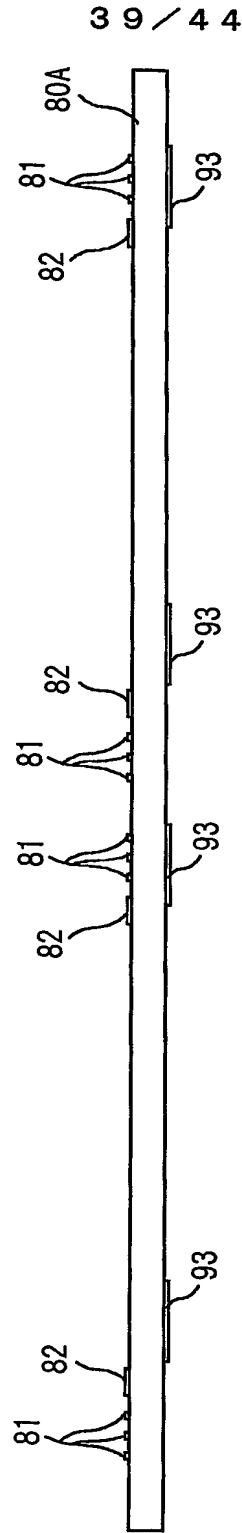


3 8 / 4 4

第 6 6 図



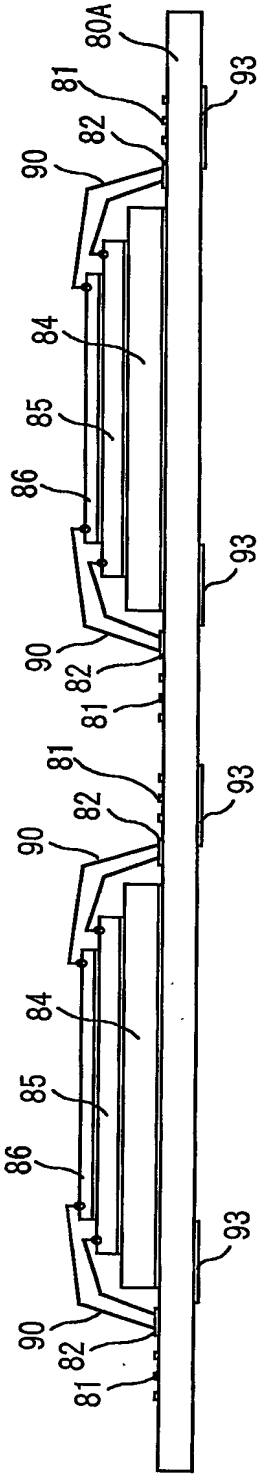
第 6 7 図



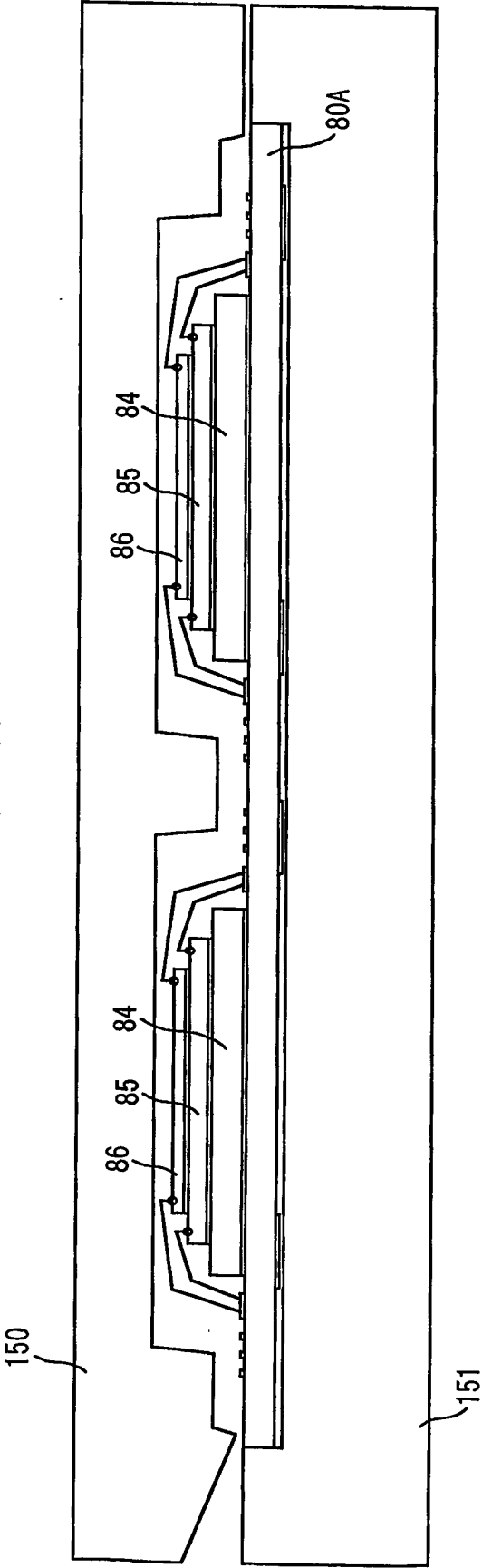
3 9 / 4 4

40 / 44

第68図

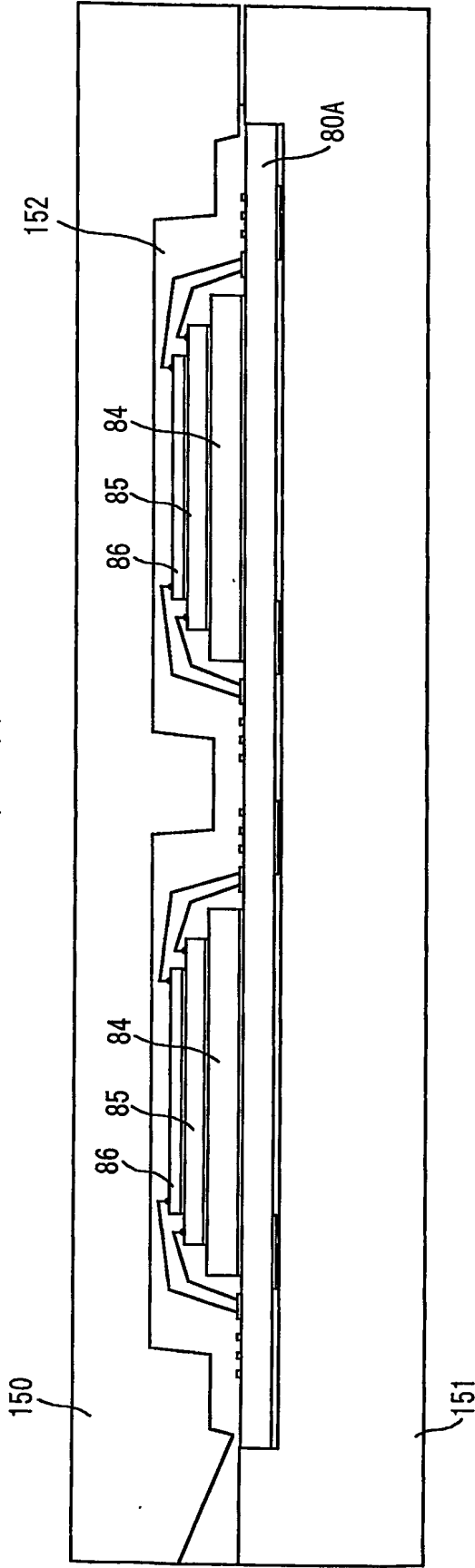


第 6 9 図

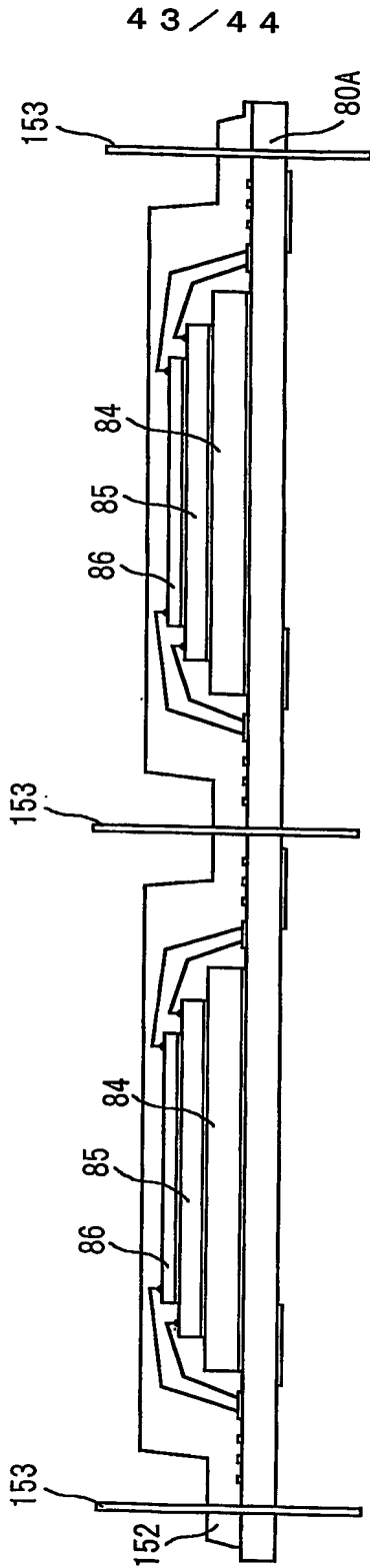


4 2 / 4 4

第70図



第71図



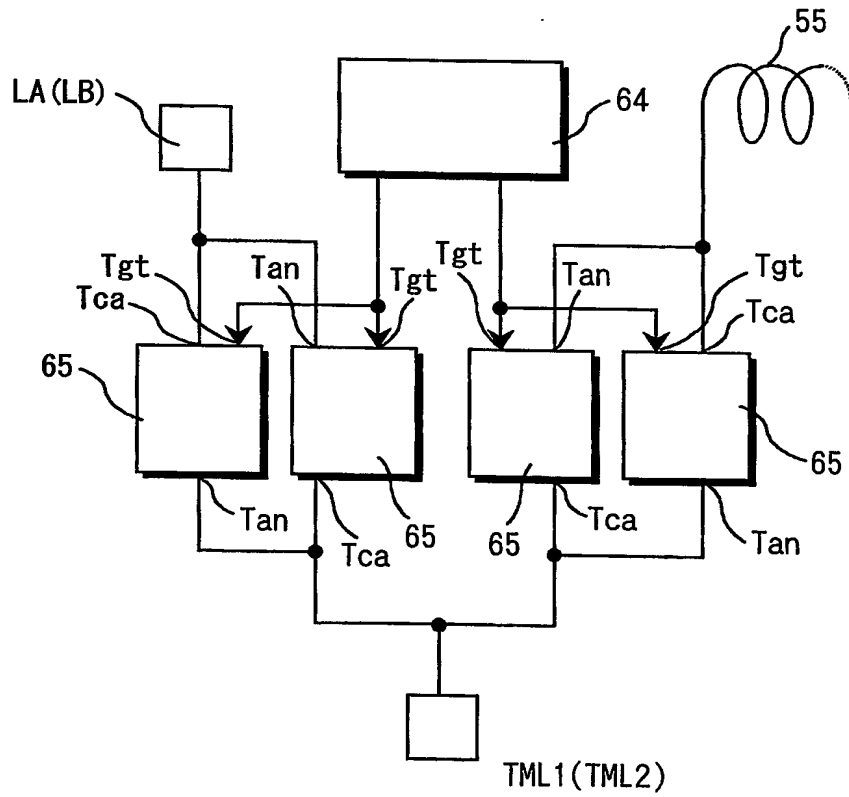


44 / 44

第72図



第73図



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08434

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl <sup>7</sup> G06K19/07, 19/077, G06F3/06, 3/08		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) Int.Cl <sup>7</sup> G06K19/07, 19/077, G06F3/06, 3/08		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003 Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 01/84490 A1 (Hitachi, Ltd., Hitachi ULSI Systems Co., Ltd.), 08 November, 2001 (08.11.01),	1-4, 10, 12, 13, 28-39, 45, 47, 48
Y	Full text; all drawings	5, 14-27, 40, 59-71
A	& EP 1278154 A	6-9, 11, 41-44, 46, 72-75
X	JP 2003-22216 A (Hitachi, Ltd.), 24 January, 2003 (24.01.03),	1-4, 10, 12, 13, 28-39, 45, 47, 48
Y	Full text; all drawings	5, 14-27, 40, 59-71
A	(Family: none)	6-9, 11, 41-44, 46, 72-75
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 07 October, 2003 (07.10.03)		Date of mailing of the international search report 28 October, 2003 (28.10.03)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08434

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2002-351623 A (Fujitsu Ltd.), 06 December, 2002 (06.12.02), Full text; all drawings & US 2002/177407 A1	49-58 5, 14-27, 40, 59-71 6-9, 41-44, 72-75

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08434

## Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:

because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:

because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:

because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claims 1-48 relate to a multi-function card device having an interface controller and a security controller.

Claims 49-62 relate to a semiconductor card device having an antenna.

Claims 63-71 relate to an external terminal of a semiconductor card device.

Claims 72-75 relate to a semiconductor integrated circuit.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.

☐ No protest accompanied the payment of additional search fees.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G06K19/07, 19/077, G06F3/06, 3/08

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G06K19/07, 19/077, G06F3/06, 3/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2003年  
 日本国登録実用新案公報 1994-2003年  
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X  Y  A	WO 01/84490 A1 (株式会社日立製作所, 株式会社日立超エル・エス・ アイ・システムズ) 2001.11.08, 全文, 全図 & EP 1278154 A	1-4, 10, 12, 13, 28-39, 45, 47, 48 5, 14-27, 40, 59-71 6-9, 11, 41-44, 46, 72-75

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

07.10.03

国際調査報告の発送日

28.10.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

前田 浩

5B

2943

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名、及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 2003-22216 A(株式会社日立製作所) 2003.01.24, 全文, 全図(ファミリーなし)	1-4, 10, 12, 13, 28-39, 45, 47, 48 5, 14-27, 40, 59-71 6-9, 11, 41-44, 46, 72-75
X Y A	JP 2002-351623 A(富士通株式会社) 2002.12.06, 全文, 全図 & US 2002/177407 A1	49-58 5, 14-27, 40, 59-71 6-9, 41-44, 72-75

## 第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲 1-48 は、インターフェースコントローラとセキュリティコントローラとを有するマルチファンクションカードデバイスに関するものである。  
請求の範囲 49-62 は、アンテナを有する半導体カードデバイスに関するものである。  
請求の範囲 63-71 は、半導体カードデバイスの外部端子に関するものである。  
請求の範囲 72-75 は、半導体集積回路に関するものである。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。  
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。